

PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC EQUIPMENT HAVING CURRENT-DRIVEN LIGHT-EMITTING DEVICE

Publication number: WO9840871 (A1)

Publication date: 1998-09-17

Inventor(s): KIMURA MUTSUMI [JP]; SHIMODA TATSUYA [JP]; KIGUCHI HIROSHI [JP]

Applicant(s): SEIKO EPSON CORP [JP]; KIMURA MUTSUMI [JP]; SHIMODA TATSUYA [JP]; KIGUCHI HIROSHI [JP]

Classification:

- international: G09G3/30; G09G3/32; H05B33/08; G09G3/36; H01L27/32; G09G3/30; G09G3/32; H05B33/02; G09G3/36; H01L27/28; (IPC1-7): G09G3/30; H05B33/08

- European: H05B33/08; G09G3/32A8C

Application number: WO1998JP00971 19980306

Priority number(s): JP19970057858 19970312; JP19970233108 19970828

Also published as:

EP0923067 (A1)
EP0923067 (B1)
US2002180721 (A1)
US6518962 (B2)
TW397965 (B)

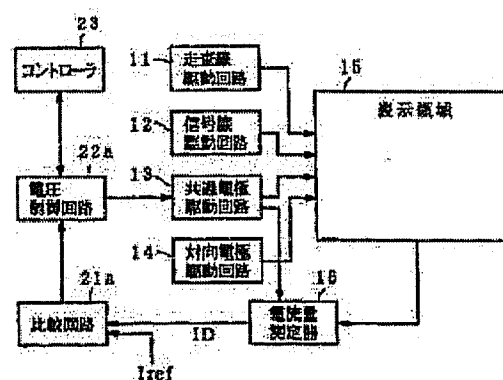
more >>

Cited documents:

JP8227276 (A)
JP61045281 (A)
JP9064365 (A)
JP4269790 (A)
JP8054835 (A)

Abstract of WO 9840871 (A1)

A display device (100) includes, for every pixel, a current-driven light-emitting device (224), and a driving element (223) for controlling a driving current flowing through the light-emitting device in accordance with the voltage of a data signal. The display device further includes power-supply sections (13, 14) for supplying, via a power-supply wiring, power for causing the driving current to flow through the light-emitting device via the driving element, and signal wiring driving sections (11, 12) for supplying the data signal to the driving element via signal wirings (131, 132). Voltage regulating sections (16 to 23) regulate the power from the power-supply sections or the voltage of the data signal from the signal wiring driving sections, so that the quantity of the driving current flowing through the light-emitting device or the quantity of light emitted from the light-emitting device when a data signal of a predetermined voltage is supplied to the driving element via the signal wirings approaches to a predetermined reference value.



- 11 ... scanning line driving circuit
- 12 ... signal line driving circuit
- 13 ... common electrode driving circuit
- 14 ... counter-electrode driving circuit
- 15 ... display area
- 16 ... current quantity measuring unit
- 21a ... comparison circuit
- 22a ... voltage control circuit
- 23 ... controller

Data supplied from the esp@cenet database — Worldwide

Family list

11 application(s) for: WO9840871

- 1 PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC EQUIPMENT HAVING CURRENT-DRIVEN LIGHT-EMITTING DEVICE**
Inventor: KIMURA MUTSUMI-SEIKO EPSON COR [JP] ; SHIMODA TATSUYA-SEIKO EPSON CO [JP] (+1) Applicant: SEIKO EPSON CORP [JP]
EC: H05B33/08; G09G3/32A8C IPC: G09G3/30; G09G3/32; H05B33/08; (+9)
Publication info: DE69825402 (T2) — 2005-08-04
- 2 PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC EQUIPMENT HAVING CURRENT-DRIVEN LIGHT-EMITTING DEVICE**
Inventor: KIMURA MUTSUMI [JP] ; SHIMODA TATSUYA [JP] (+1) Applicant: SEIKO EPSON CORP [JP]
EC: H05B33/08; G09G3/32A8C IPC: G09G3/30; G09G3/32; H05B33/08; (+9)
Publication info: EP0923067 (A1) — 1999-06-16
EP0923067 (A4) — 2000-02-23
EP0923067 (B1) — 2004-08-04
- 3 PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC EQUIPMENT HAVING CURRENT-DRIVEN LIGHT-EMITTING DEVICE**
Inventor: Applicant:
EC: H05B33/08; G09G3/32A8C IPC: G09G3/30; G09G3/20; G09G3/32; (+9)
Publication info: JP3887826 (B2) — 2007-02-28
- 4 DISPLAY DEVICE AND ELECTRONIC EQUIPMENT**
Inventor: KIMURA MUTSUMI ; SHIMODA TATSUYA (+1) Applicant: SEIKO EPSON CORP
EC: IPC: H01L51/50; G09G3/20; G09G3/30; (+8)
Publication info: JP2004038209 (A) — 2004-02-05
JP3985763 (B2) — 2007-10-03
- 5 DISPLAY DEVICE AND ELECTRONIC EQUIPMENT**
Inventor: KIMURA MUTSUMI ; SHIMODA TATSUYA (+1) Applicant: SEIKO EPSON CORP
EC: IPC: H01L51/50; G09G3/20; G09G3/30; (+8)
Publication info: JP2004038210 (A) — 2004-02-05
JP3988707 (B2) — 2007-10-10
- 6 PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC APPARATUS**
Inventor: KIMURA MUTSUMI ; SHIMODA TATSUYA (+1) Applicant: SEIKO EPSON CORP
EC: IPC: G09G3/30; G09G3/20; H01L51/50; (+3)
Publication info: JP2006309260 (A) — 2006-11-09
JP3988794 (B2) — 2007-10-10
- 7 PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC EQUIPMENT HAVING CURRENT-DRIVEN LIGHT-EMITTING DEVICE**
Inventor: KIMURA MUTSUMI [KR] ; SHIMODA TATSUYA [KR] (+1) Applicant: SEIKO EPSON CORP [KR]
EC: H05B33/08; G09G3/32A8C IPC: G09G3/30; G09G3/32; H05B33/08; (+8)
Publication info: KR20000010923 (A) — 2000-02-25
- 8 Pixel circuits, display devices and electronic instruments with current-driven light-emitting elements**
Inventor: KIMURA MATSUMI [JP] ; SHIMODA TATSUYA [JP] (+1) Applicant: SEIKO EPSON CORP [JP]
EC: H05B33/08; G09G3/32A8C IPC: G09G3/30; G09G3/32; H05B33/08; (+8)
Publication info: TW397965 (B) — 2000-07-11

**9 PIXEL CIRCUIT DISPLAY APPARATUS AND ELECTRONIC
APPARATUS EQUIPPED WITH CURRENT DRIVING TYPE
LIGHT-EMITTING DEVICE**

Inventor: KIMURA MUTSUMI [JP] ; SHIMODA TATSUYA [JP] (+1) **Applicant:** KIMURA MUTSUMI, ; SHIMODA TATSUYA, (+2)
EC: H05B33/08; G09G3/32A8C **IPC:** G09G3/30; G09G3/32; H05B33/08; (+8)

Publication info: US2002180721 (A1) — 2002-12-05
US6518962 (B2) — 2003-02-11

**10 Pixel circuit, display apparatus and electronic apparatus
equipped with current driving type light-emitting device**

Inventor: KIMURA MUTSUMI [JP] ; SHIMODA TATSUYA [JP] (+1) **Applicant:** SEIKO EPSON CORP [JP]
EC: G09G3/32A8C; H05B33/08 **IPC:** G09G3/32; H05B33/08; G09G3/36; (+4)

Publication info: US2003063081 (A1) — 2003-04-03
US7362322 (B2) — 2008-04-22

**11 PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC
EQUIPMENT HAVING CURRENT-DRIVEN LIGHT-EMITTING
DEVICE**

Inventor: KIMURA MUTSUMI [JP] ; SHIMODA TATSUYA [JP] (+1) **Applicant:** SEIKO EPSON CORP [JP] ; KIMURA MUTSUMI [JP] (+2)
EC: H05B33/08; G09G3/32A8C **IPC:** G09G3/30; G09G3/32; H05B33/08; (+9)

Publication info: WO9840871 (A1) — 1998-09-17

Data supplied from the esp@cenet database — Worldwide



<p>(51) 国際特許分類6 G09G 3/30, H05B 33/08</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/40871</p> <p>(43) 国際公開日 1998年9月17日(17.09.98)</p>
<p>(21) 国際出願番号 PCT/JP98/00971</p> <p>(22) 国際出願日 1998年3月6日(06.03.98)</p> <p>(30) 優先権データ 特願平9/57858 1997年3月12日(12.03.97) JP 特願平9/233108 1997年8月28日(28.08.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてののみ) 木村 睦(KIMURA, Mutsumi)[JP/JP] 下田達也(SHIMODA, Tatsuya)[JP/JP] 木口浩史(KIGUCHI, Hiroshi)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>		<p>(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: PIXEL CIRCUIT, DISPLAY DEVICE AND ELECTRONIC EQUIPMENT HAVING CURRENT-DRIVEN LIGHT-EMITTING DEVICE</p> <p>(54) 発明の名称 電流駆動型発光素子を備えた画素回路、表示装置及び電子機器</p> <p>(57) Abstract</p> <p>A display device (100) includes, for every pixel, a current-driven light-emitting device (224), and a driving element (223) for controlling a driving current flowing through the light-emitting device in accordance with the voltage of a data signal. The display device further includes power-supply sections (13, 14) for supplying, via a power-supply wiring, power for causing the driving current to flow through the light-emitting device via the driving element, and signal wiring driving sections (11, 12) for supplying the data signal to the driving element via signal wirings (131, 132). Voltage regulating sections (16 to 23) regulate the power from the power-supply sections or the voltage of the data signal from the signal wiring driving sections, so that the quantity of the driving current flowing through the light-emitting device or the quantity of light emitted from the light-emitting device when a data signal of a predetermined voltage is supplied to the driving element via the signal wirings approaches to a predetermined reference value.</p> <div data-bbox="941 1255 1412 1606"> </div> <div data-bbox="941 1617 1331 1879"> <p>11 ... scanning line driving circuit 12 ... signal line driving circuit 13 ... common electrode driving circuit 14 ... counter-electrode driving circuit 15 ... display area 16 ... current quantity measuring unit 21a ... comparison circuit 22a ... voltage control circuit 23 ... controller</p> </div>		

(57) 要約

表示装置(100)は、電流駆動型の発光素子(224)と、発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子(223)とを画素毎に備える。表示装置は、発光素子に駆動電流を駆動素子を介して流すための電源を電源配線を介して供給する電源部(13、14)と、駆動素子にデータ信号を信号配線(131、132)を介して供給する信号配線駆動部(11、12)とを備える。そして、電圧調整部(16～23)は、信号配線を介して所定電圧のデータ信号を駆動素子に供給したときに発光素子に流れる駆動電流の電流量又は発光素子から発せられる光の発光量が所定基準値に近付くように、電源部からの電源又は信号配線駆動部からのデータ信号の電圧を調整する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GB	イギリス	LV	ラトヴィア	TD	チャド
AU	オーストラリア	GE	グルジア	MC	モナコ	TG	トーゴ
AZ	アゼルバイジャン	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BB	ボスニア・ヘルツェゴビナ	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BE	ベルギー	GN	ギニア	MK	マケドニア共和国	TR	トルコ
BF	ブルキナ・ファソ	GW	ギニア・ビサウ	ML	マリ	TT	トリニダード・トバゴ
BG	ブルガリア	GR	ギリシャ	MN	モンゴル	UA	ウクライナ
BJ	ベナン	HU	ハンガリー	MR	モリタニア	UG	ウガンダ
BY	ブラジル	ID	インドネシア	MW	マラウイ	US	米国
CC	ペラルーシ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CA	カナダ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CF	中央アフリカ	IS	アイスランド	NL	オランダ	YW	ユンゴラ
CG	中央アフリカ	IT	イタリア	NO	ノルウェー	ZW	ジンバブエ
CH	スイス	JP	日本	NZ	ニュージーランド		
CI	コートジボアール	KE	ケニア	PL	ポーランド		
CM	カムeroon	KG	キルギス	PT	ポルトガル		
CN	中国	KP	北朝鮮	RO	ルーマニア		
CU	キューバ	KR	韓国	RU	ロシア		
CY	キプロス	KZ	カザフスタン	SD	スーダン		
CZ	チェコ	LC	セント・ルシア	SE	スウェーデン		
DE	ドイツ	LI	リヒテンシュタイン	SG	シンガポール		
DK	デンマーク	LK	スリランカ	SI	スロベニア		
EE	エストニア	LR	レソト	SK	スロバキア		
ES	スペイン	LS	レソト	SL	シエラ・レオネ		

明 細 書

電流駆動型発光素子を備えた画素回路、表示装置及び電子機器

技術分野

本発明は、有機のエレクトロルミネッセンス素子（以下、有機EL素子と称す）等の電流駆動型発光素子及びこれを駆動する薄膜トランジスタ等の駆動素子を備えて構成される画素回路、及びこのような画素回路を各画素に備えて構成される表示装置、並びにこれらを備えた電子機器の技術分野に関し、特に、電流駆動型発光素子や駆動素子の経時劣化の影響を補正することが可能な駆動回路及び表示装置並びにこれらを備えた電子機器の技術分野に関する。

背景技術

この種の表示装置として、薄膜トランジスタ（以下、TFTと称す）を駆動素子として用いて有機EL素子等の電流駆動型発光素子を駆動する方式の表示装置は、例えば以下のように構成されている。即ち、走査線駆動回路及び信号線駆動回路から、表示領域内の信号線及び走査線に対し夫々、表示すべき画像に対応するデータ信号及び走査信号が供給される。他方、共通電極駆動回路及び対向電極駆動回路から、表示領域内にマトリクス状に規定された複数の画素の夫々に設けられた駆動用TFTを介して各画素における画素電極と対向電極との間に電圧が印加される。そして、各画素の駆動用TFTにより、走査線から走査信号が供給されるタイミングで、信号線から供給されるデータ信号の電圧に応じて、画素電極及び対向電極間に配置された電流駆動型発光素子を流れる電流を制御するように構成されている。

より具体的には例えば、各画素には、スイッチング用TFTが設けられ、そのゲートに走査線から走査信号が供給されると、そのソース及びドレインを介して信号線からのデータ信号を駆動用TFTのゲートに供給する。駆動用TFTのソース及びドレイン間のコンダクタンスは、このようにゲートに供給されたデータ信号の電圧（即ち、ゲート電圧）に応じて制御（変化）される。この際、ゲート

電圧は、当該ゲートに接続された保持容量によりデータ信号が供給された期間よりも長い期間に亘って保持される。そして、このようにコンダクタンスが制御されるソース及びドレインを介して駆動電流を有機EL素子等に供給することにより、有機EL素子等を駆動電流に応じて駆動するように構成されている。

特にこのように駆動用TFTを備えた有機EL素子は、大型・高精細・広視角・低消費電力の表示パネルを実現するための電流制御型発光素子として（以下、TFT-OELDと表記する）として有望視されている。

発明の開示

しかしながら、有機EL素子等の電流駆動型発光素子においては、素子内を駆動電流が流れるために、大なり小なり経時劣化が存在する。例えば、有機EL素子の場合には、顕著な経時劣化が存在すると報告されている(Jpn. J. Appl. Phys., 34, L824 (1995))。有機EL素子の経時劣化は、2種類に大別される。一つは、有機EL素子に印加される電圧に対して、電流量が低下する劣化である。もう一つは、有機EL素子に印加される電圧或いは有機EL素子を流れる電流に対して発光量が低下する劣化である。また、これらの経時劣化は、有機EL素子毎にバラツキをもって発生する。更に、TFT-OELDでは、駆動素子としてのTFTを流れる電流によりTFTの経時劣化が発生することもある。

このため、TFT-OELDを用いた表示装置では、このような有機EL素子や駆動用TFTの経時劣化が生じたときに、画質劣化が問題となる。すなわち、電流量が低下する劣化や発光量が低下する劣化は、画面輝度の低下を招き、電流量の低下のバラツキや発光量の低下のバラツキは、画面ムラを生じさせる。特に、これらの劣化は、製造時における有機EL素子の発光特性、駆動用TFTの電圧電流特性やしきい値特性のバラツキ、表示パターンの履歴等に依存するため、表示装置全体の画質劣化につながると同時に、画面ムラの原因となるのである。

ここで、例えば特開平05-019234号公報には、液晶表示パネルの背面光源（バックライト）としてEL素子を用いて、該EL素子により背後から照らされた液晶表示パネル全体の明るさが低下しないように該EL素子の輝度を検知して、背面光源全体の劣化を補正する技術が開示されている。しかしながら、こ

の技術は、液晶表示パネルに関するものであり、且つEL素子が表示素子として各画素に設けられている訳ではなく、単なる背面光源として用いられており、根本的に本願発明の技術分野とは異なる技術分野に関するものである。そして、各画素に有機EL素子等の電流駆動型発光素子を備えて構成される表示装置において、上述のような経時劣化を補正する有効な技術は提案されていない。更に、このような電流駆動型発光素子を各画素に備えた表示装置において、電流駆動型発光素子や駆動用TFTにおける経時劣化を補正することにより表示装置の寿命を延ばす或いは表示品質を向上させるという技術的課題自体が当業者間で認識されていないのが現状である。

そこで、本発明は、電流駆動型発光素子における電流量や発光量が低下する経時劣化が発生した場合や該経時劣化がバラツキをもって発生した場合に、その経時劣化を適宜補正し、画面輝度の低下や画面ムラを低減することが可能な電流駆動型発光素子を備えた画素回路及び表示装置並びにこれらを備えた電子機器を提供することを技術的課題とする。

(1) 本発明の第1の表示装置は上述の技術的課題を解決するために、画素毎に設けられた電流駆動型の発光素子と、該画素毎に設けられており前記発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、前記発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、前記駆動素子に前記データ信号を信号配線を介して供給する信号配線駆動部と、前記信号配線を介して所定電圧のデータ信号を前記駆動素子に供給したときに前記発光素子を流れる駆動電流の電流量及び前記発光素子から発せられる光の発光量のうち少なくとも一方が所定基準値に近付くように、前記電源部における電源及び前記信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧を調整する電圧調整部とを備えたことを特徴とする。

第1の表示装置によれば、電源部からの電源供給により、発光素子には、駆動電流が駆動素子を介して流れる。他方、駆動素子には、データ信号が信号配線駆動部から信号配線を介して供給される。そして、駆動素子により、発光素子に流れる駆動電流がデータ信号の電圧に応じて制御される。これらの結果、電流駆動型の発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。ここで、

例えば非表示期間において信号配線を介して所定電圧のデータ信号が駆動素子に供給されたときに、電圧調整部により、発光素子を流れる駆動電流の電流量又は発光素子から発せられる光の発光量が所定基準値（即ち、基準電流量又は基準発光量）に近づくように、電源部における電源及び信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧が調整される。

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなったり、発光素子が発光し難くなったりしても、当該発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。即ち、発光素子や駆動素子の経時劣化による駆動電流量や発光量の低下を、電圧調整部による電圧調整により適宜補正できる。

更に、電圧調整部による電圧調整を複数の画素について個別に行うようにすれば、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。即ち、発光素子や駆動素子の特性のバラツキによる駆動電流量や発光量のバラツキを適宜補正できる。

以上の結果、第1の表示装置によれば、有機EL素子等の電流駆動型の発光素子を薄膜トランジスタ等の駆動素子により駆動する表示装置において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

(2) 第1の表示装置の一つの態様では、前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなる。

この態様によれば、薄膜トランジスタのゲートにデータ信号が供給されると、そのソース及びドレイン間のコンダクタンスは、ゲート電圧により制御（変化）される。従って、このソース及びドレイン間を介して発光素子に流れる駆動電流を、データ信号の電圧に応じて制御することができる。

(3) 第1の表示装置の他の態様では、前記電圧調整部は、前記所定電圧のデータ信号を前記駆動素子に供給したときの前記駆動電流の電流量を測定する電流量測定部と、該測定された電流量が予め設定された基準電流量に近づくように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

この態様によれば、所定電圧のデータ信号を駆動素子に供給したときの駆動電流の電流量が、電流量測定部により測定される。そして、該測定された電流量が予め設定された基準電流量に近付くように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなっても、当該発光素子における駆動電流量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性にバラツキがあったとしても、データ信号の電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

(4) 第1の表示装置の他の態様では、前記電圧調整部は、前記所定電圧のデータ信号を前記駆動素子に供給したときの前記発光量を測定する発光量測定部と、該測定された発光量が予め設定された基準発光量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

この態様によれば、所定電圧のデータ信号を駆動素子に供給したときの発光素子の発光量が、発光量測定部により測定される。そして、該測定された発光量が予め設定された基準発光量に近付くように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して発光素子が発光し難くなっても、当該発光素子における発光量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、データ信号の電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

(5) 第1の表示装置の他の態様では、表示期間に先立つ非表示期間に、前記少なくとも一方の電圧を調整するように前記電圧調整部を制御するコントローラを更に備える。

この態様によれば、コントローラによる制御下で、表示期間に先立つ非表示期間に、データ信号の電圧又は駆動電流の電源電圧が電圧調整部により調整される。従って、表示期間の一部を測定のために占有しなくて済むと同時に、電圧調整部

により適宜電圧調整をしながら、調整動作により表示期間における画像表示に悪影響を及ぼすことはない。また、発光素子や駆動素子における経時劣化の進行速度に鑑みれば、例えば、電源投入時などの非表示期間毎に電源調整部による調整を行えば十分である場合が多い。

(6) 本発明の第2の表示装置は上述の技術的課題を解決するために、表示領域において画素毎に設けられた電流駆動型の表示用発光素子と、該画素毎に設けられており前記表示用発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、前記表示用発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、前記駆動素子に前記データ信号を信号配線を介して供給する信号配線駆動部と、モニタ用領域に設けられており前記表示用発光素子と同様に電流駆動される電流駆動型のモニタ用発光素子と、該モニタ用発光素子における電流量及び発光量のうち少なくとも一方が所定基準値に近づくように、前記電源部における電源及び前記信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧を調整する電圧調整部とを備えたことを特徴とする。

第2の表示装置によれば、電源部からの電源供給により、表示用発光素子には、駆動電流が駆動素子を介して流れる。他方、駆動素子には、データ信号が信号配線駆動部から信号配線を介して供給される。そして、駆動素子により、表示用発光素子に流れる駆動電流がデータ信号の電圧に応じて制御される。これらの結果、電流駆動型の表示用発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。ここで、例えば非表示期間において信号配線を介して所定電圧のデータ信号が駆動素子に供給されたときに、電圧調整部により、表示用発光素子と同様に電流駆動される電流駆動型のモニタ用発光素子における電流量又は発光量が所定基準値（即ち、基準電流量又は基準発光量）に近づくように、電源部における電源及び信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧が調整される。ここで特に、モニタ用領域に設けられたモニタ用発光素子は、表示領域に設けられた表示用発光素子と同様に電流駆動されるため、モニタ用発光素子における経時劣化は、表示用発光素子における経時劣化と類似或いは同様の傾向を持つと考察される。

従って、表示用発光素子や駆動素子の経時劣化により、表示用発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなったり、表示用発光素子が発光し難くなったりしても、当該表示用発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。即ち、表示用発光素子や駆動素子の経時劣化による駆動電流量や発光量の低下を、モニタ用発光素子における電流量や発光量に基づく電圧調整部の電圧調整により適宜補正できる。

更に、電圧調整部による電圧調整を複数の画素について個別に行うようにすれば、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。即ち、発光素子や駆動素子の特性のバラツキによる駆動電流量や発光量のバラツキを適宜補正できる。

以上の結果、第2の表示装置によれば、有機EL素子等の電流駆動型の発光素子を薄膜トランジスタ等の駆動素子により駆動する表示装置において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

(7) 第2の表示装置の一つの態様では、前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなる。

この態様によれば、薄膜トランジスタのゲートにデータ信号が供給されると、そのソース及びドレイン間のコンダクタンスは、ゲート電圧により制御(変化)される。従って、このソース及びドレイン間を介して表示用発光素子に流れる駆動電流を、データ信号の電圧に応じて制御することができる。

(8) 第2の表示装置の他の態様では、前記電圧調整部は、前記モニタ用発光素子における電流量を測定する電流量測定部と、該測定された電流量が予め設定された基準電流量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

この態様によれば、モニタ用発光素子における電流量が、電流量測定部により測定される。そして、該測定された電流量が予め設定された基準電流量に近付くように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなっても、当該発光素子における駆動電流量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性にバラツキがあったとしても、電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

(9) 第2の表示装置の他の態様では、前記電圧調整部は、前記モニタ用発光素子における発光量を測定する発光量測定部と、該測定された発光量が予め設定された基準発光量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備える。

この態様によれば、モニタ用発光素子における発光量が、発光量測定部により測定される。そして、該測定された発光量が予め設定された基準発光量に近付くように、データ信号の電圧又は駆動電流の電源電圧が電圧制御部により調整される。

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して発光素子が発光し難くなっても、当該発光素子における発光量は、ほぼ一定とされる。更に、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、データ信号の電圧調整を画素毎に個別に行うようにすれば、当該複数の画素の発光素子における駆動電流量をほぼ一定にできる。

(10) 第2の表示装置の他の態様では、表示期間に先立つ非表示期間に前記少なくとも一方の電圧を調整するように前記電圧調整部を制御するコントローラを更に備える。

この態様によれば、コントローラによる制御下で、表示期間に先立つ非表示期間に、データ信号の電圧又は駆動電流の電源電圧が電圧調整部により調整される。従って、電圧調整部により適宜電圧調整をしながらも、調整動作により表示期間における画像表示に悪影響を及ぼすことはない。

(11) 第2の表示装置の他の態様では、前記表示用発光素子と前記モニタ用発光素子とが、同一の基板上に形成されている。

この態様によれば、表示用発光素子とモニタ用発光素子とを類似或いは同様の

環境で動作させることにより、両者における経時劣化の傾向を類似した或いは同様のものにできる。従って、モニタ用発光素子における電流量や発光量に基づいて表示用発光素子についての電圧調整を精度良く行うことができる。

(12) 第2の表示装置の他の態様では、前記表示用発光素子と前記モニタ用発光素子とが、同一の製造工程により形成されている。

この態様によれば、モニタ用発光素子を製造するために、別途製造工程を必要としないので製造上有利である。しかも、比較的容易に表示用発光素子の特性とモニタ用発光素子の特性とを類似或いは同様のものとすることができる。従って、両者における経時劣化の傾向を類似した或いは同様のものにできる。

(13) 第2の表示装置の他の態様では、前記電源部は、表示期間に前記表示用発光素子及び前記モニタ用発光素子の両方に前記駆動電流を流すための電源を供給する。

この態様によれば、表示期間には、表示用発光素子及びモニタ用発光素子の両方に駆動電流が流されるので、両者における経時劣化の傾向を類似した或いは同様のものにできる。

(14) 本発明の画素回路は上述の技術的課題を解決するために、少なくともデータ信号が供給される信号配線並びに駆動電流を流すための電源が供給される第1及び第2給電線が設けられた表示装置の表示領域を構成するマトリクス状の複数の画素の各々に設けられる画素回路であって、前記第1及び第2給電線間に接続された電流駆動型の発光素子と、前記第1及び第2給電線間に前記発光素子と直列に接続されたソース及びドレインを介して前記発光素子を流れる前記駆動電流を、ゲートに供給される前記データ信号の電圧に応じて制御する第1薄膜トランジスタ（カレント制御用の薄膜トランジスタ）と、前記駆動電流の電流量の減少及び前記発光素子の発光量の減少のうち少なくとも一方に応じて前記駆動電流を増加させる駆動電流補償素子とを備えたことを特徴とする。

本発明の画素回路によれば、第1及び第2給電線からの電源供給により、発光素子には、駆動電流が第1薄膜トランジスタのソース及びドレインを介して流れる。他方、第1薄膜トランジスタのゲートには、データ信号が信号配線を介して供給される。そして、第1薄膜トランジスタのソース及びドレイン間のコンダク

タンスがゲート電圧により制御（変化）され、発光素子に流れる駆動電流がデータ信号の電圧に応じて制御されることになる。これらの結果、電流駆動型の発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。そして、このように流れる駆動電流は、駆動電流補償素子により、駆動電流の電流量又は発光素子の発光量の減少に応じて増加させられる。

従って、発光素子や第1薄膜トランジスタの経時劣化により、発光素子や第1薄膜トランジスタの抵抗が増加等して駆動電流が流れ難くなったり、発光素子が発光し難くなったりしても、当該発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。即ち、発光素子や第1薄膜トランジスタの経時劣化による駆動電流量や発光量の低下を、駆動電流補償素子による抵抗減少等による駆動電流を増加させる作用により自動的に補正できる。

更に、このような補正は複数の画素について個別に行われるので、複数の画素間で、発光素子や第1薄膜トランジスタの電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。即ち、発光素子や第1薄膜トランジスタの特性のバラツキによる駆動電流量や発光量のバラツキを自動的に補正できる。

以上の結果、本発明の画素回路によれば、有機EL素子等の電流駆動型の発光素子を第1薄膜トランジスタにより駆動する画素回路において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

(15) 画素回路の一つの態様では、前記信号配線は、前記データ信号が供給される信号線及び走査信号が供給される走査線を含み、前記走査信号がゲートに供給されると共にソース及びドレインを介して前記データ信号が前記第1薄膜トランジスタのゲートに供給されるように接続された第2薄膜トランジスタ（スイッチング用の薄膜トランジスタ）を更に備える。

この態様によれば、走査線を介して走査信号が第2薄膜トランジスタのゲートに供給されると、当該第2薄膜トランジスタのソース及びドレイン間は導通状態とされる。これと並行して、信号線を介してデータ信号が第2薄膜トランジスタのソース又はドレインに供給されると、該第2薄膜トランジスタのソース及びドレインを介して、データ信号が第1薄膜トランジスタのゲートに供給される。

(16) 画素回路の他の態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記駆動電流の電流量との関係に依存して、前記第1給電線と前記第2給電線との間の抵抗を調整する。

この態様によれば、発光素子の両端の電圧と駆動電流の電流量との関係に依存して、第1給電線と第2給電線との間の抵抗が駆動電流補償素子により調整されることにより、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(17) この電圧と電流量との関係に依存して調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第1給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第2給電線との間に前記発光素子と直列に接続されたnチャネル型の第1の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第1給電線と第2給電線との間の抵抗が、nチャネル型の第1の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(18) 或いは、この電圧と電流量との関係に依存して調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第1給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第2給電線との間に前記発光素子と直列に接続されたpチャネル型の第1の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第1給電線と第2給電線との間の抵抗が、pチャネル型の第1の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(19) 或いは、この電圧と電流量との関係に依存して調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第2給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第1給電線との間に前記発光素子と直列に接続されたpチャネル型の第2の補正用薄膜トランジスタを含むように構成

してもよい。

この場合、第1給電線と第2給電線との間の抵抗が、pチャネル型の第2の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(20) 或いは、この電圧と電流量との関係に依存して調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第2給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第1給電線との間に前記発光素子と直列に接続されたnチャネル型の第2の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第1給電線と第2給電線との間の抵抗が、nチャネル型の第2の補正用薄膜トランジスタにより調整されて、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(21) 画素回路の他の態様では、前記第1薄膜トランジスタのゲートに接続されており、前記第1薄膜トランジスタのゲート電圧を保持する保持容量を更に備える。

この態様によれば、データ信号が供給された後の第1薄膜トランジスタのゲート電圧は、保持容量により保持される。従って、データ信号を与える期間よりも長い期間に亘って、第1薄膜トランジスタのソース及びドレインを介して駆動電流を流すことが可能となる。

(22) この保持容量を備えた態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記駆動電流の電流量との関係に依存して、前記第1及び第2給電線の一方と前記保持容量との間の抵抗を調整するように構成してもよい。

この態様によれば、発光素子の両端の電圧と駆動電流の電流量との関係に依存して、第1又は第2給電線と保持容量との間の抵抗が駆動電流補償素子により調整されることにより、駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(23) このように給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記駆動

電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 1 給電線との間に接続された、前記第 1 薄膜トランジスタと同じ n 又は p チャネル型の第 3 の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第 1 又は第 2 給電線と保持容量との間の抵抗が、第 1 薄膜トランジスタと同じ n 又は p チャネル型の第 3 の補正用薄膜トランジスタにより調整されて、第 1 給電線から第 2 給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(24) 或いは、このように給電線と保持容量との間の抵抗を調整する態様では、前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 1 給電線との間に接続された、前記第 1 薄膜トランジスタと同じ n 又は p チャネル型の第 3 の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第 1 又は第 2 給電線と保持容量との間の抵抗が、第 1 薄膜トランジスタと同じ n 又は p チャネル型の第 3 の補正用薄膜トランジスタにより調整されて、第 2 給電線から第 1 給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(25) 或いは、このように給電線と保持容量との間の抵抗を調整する態様では、前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 2 給電線との間に接続された、前記第 1 薄膜トランジスタと反対の n 又は p チャネル型の第 4 の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第 1 又は第 2 給電線と保持容量との間の抵抗が、第 1 薄膜トランジスタと反対の n 又は p チャネル型の第 4 の補正用薄膜トランジスタにより調整されて、第 1 給電線から第 2 給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(26) 或いは、このように給電線と保持容量との間の抵抗を調整する態様で

は、前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 2 給電線との間に接続された、前記第 1 薄膜トランジスタと反対の n 又は p チャネル型の第 4 の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第 1 又は第 2 給電線と保持容量との間の抵抗が、第 1 薄膜トランジスタと反対の n 又は p チャネル型の第 4 の補正用薄膜トランジスタにより調整されて、第 2 給電線から第 1 給電線に向かって流れる駆動電流の電流量の減少に応じて当該駆動電流が増加させられる。

(27) 画素回路の他の態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記発光量との関係に依存して、前記第 1 給電線と前記第 2 給電線との間の抵抗を調整する。

この態様によれば、発光素子の両端の電圧と発光量との関係に依存して、第 1 給電線と第 2 給電線との間の抵抗が駆動電流補償素子により調整されることにより、発光素子の発光量の減少に応じて当該駆動電流が増加させられる。

(28) 更に、上述の保持容量を備えた態様では、前記駆動電流補償素子は、前記発光素子の両端の電圧と前記発光量との関係に依存して、前記第 1 及び第 2 給電線の一方と前記保持容量との間の抵抗を調整するように構成してもよい。

この態様によれば、発光素子の両端の電圧と発光量との関係に依存して、第 1 又は第 2 給電線と保持容量との間の抵抗が駆動電流補償素子により調整されることにより、発光量の減少に応じて当該駆動電流が増加させられる。

(29) このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、前記第 1 薄膜トランジスタは、 p チャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第 1 給電線との間に接続された第 1 の補正用薄膜フォトダイオードを含むように構成してもよい。

この場合、第 1 又は第 2 給電線と保持容量との間の抵抗が、第 1 の補正用薄膜フォトダイオードにより調整されて、 p チャネル型の第 1 薄膜トランジスタに対し第 1 給電線から第 2 給電線に向かって流れる駆動電流が発光量の減少に応じて

増加させられる。

(30) 或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記第1薄膜トランジスタは、pチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された第5の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第1又は第2給電線と保持容量との間の抵抗が、第5の補正用薄膜トランジスタにより調整されて、pチャネル型の第1薄膜トランジスタに対し第1給電線から第2給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(31) 或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタは、nチャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第1給電線との間に接続された第1の補正用薄膜フォトダイオードを含むように構成してもよい。

この場合、第1又は第2給電線と保持容量との間の抵抗が、第1の補正用薄膜フォトダイオードにより調整されて、nチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(32) 或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタは、nチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された第5の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第1又は第2給電線と保持容量との間の抵抗が、第5の補正用薄膜トランジスタにより調整されて、nチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加

させられる。

(33) 或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記第1薄膜トランジスタが、nチャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第2給電線との間に接続された第2の補正用薄膜フォトダイオードを含むように構成してもよい。

この場合、第1又は第2給電線と保持容量との間の抵抗が、第2の補正用薄膜フォトダイオードにより調整されて、nチャネル型の第1薄膜トランジスタに対し第1給電線から第2給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(34) 或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、前記第1薄膜トランジスタが、nチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第2給電線との間に接続された第6の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第1又は第2給電線と保持容量との間の抵抗が、第6の補正用薄膜トランジスタにより調整されて、nチャネル型の第1薄膜トランジスタに対し第1給電線から第2給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(35) 或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタが、pチャネル型であり、前記駆動電流補償素子は、前記保持容量と前記第2給電線との間に接続された第2の補正用薄膜フォトダイオードを含むように構成してもよい。

この場合、第1又は第2給電線と保持容量との間の抵抗が、第2の補正用薄膜フォトダイオードにより調整されて、pチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(36) 或いは、このように電圧と発光量との関係に依存して給電線と保持容量との間の抵抗を調整する態様では、前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、前記第1薄膜トランジスタが、pチャネル型であり、前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第2給電線との間に接続された第6の補正用薄膜トランジスタを含むように構成してもよい。

この場合、第1又は第2給電線と保持容量との間の抵抗が、第6の補正用薄膜トランジスタにより調整されて、pチャネル型の第1薄膜トランジスタに対し第2給電線から第1給電線に向かって流れる駆動電流が発光量の減少に応じて増加させられる。

(37) 画素回路の他の態様では、前記駆動電流補償素子は、前記第1薄膜トランジスタと同一の製造工程により形成される薄膜トランジスタを含む。

この態様によれば、駆動電流補償素子を製造するために、別途製造工程を必要としないので製造上有利である。

(38) 本発明の第3の表示装置は上述の技術的課題を解決するために、画素毎に設けられた電流駆動型の発光素子と、該画素毎に設けられており前記発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、前記発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、画像信号源から入力される画像信号に対応する電圧を持つデータ信号を信号線を介して前記駆動素子に供給する信号線駆動回路と、前記信号線を介して所定電圧のデータ信号を前記駆動素子に供給したときに前記発光素子に流れる駆動電流の電流量及び前記発光素子から発せられる光の発光量のうち少なくとも一方を測定する測定部と、前記画像信号源と前記信号線駆動回路との間に介在しており前記測定された電流量及び発光量の少なくとも一方が所定基準値に近付くように前記画像信号を補正した後に前記信号線駆動回路に入力する補正回路とを備えたことを特徴とする。

第3の表示装置によれば、電源部からの電源供給により、発光素子には、駆動電流が駆動素子を介して流れる。他方、駆動素子には、画像信号源から入力される画像信号に対応する電圧を持つデータ信号が、信号線駆動回路から信号線を介し

て供給される。そして、駆動素子により、発光素子に流れる駆動電流がデータ信号の電圧に応じて制御される。これらの結果、電流駆動型の発光素子は、駆動電流によりデータ信号の電圧に対応して発光する。ここで、例えば非表示期間において信号線を介して所定電圧のデータ信号が駆動素子に供給されたときに、測定部により、発光素子を流れる駆動電流の電流量又は発光素子の発光量が測定される。このように測定された電流量又は発光量が所定基準値（即ち、基準電流量又は基準発光量）に近付くように、画像信号が補正回路により補正される。そして、補正された画像信号が信号線駆動回路に入力される。従って、駆動素子には、補正された画像信号に対応する電圧を持つデータ信号が、信号線駆動回路から信号線を介して供給される。

従って、発光素子や駆動素子の経時劣化により、発光素子や駆動素子の抵抗が増加等して駆動電流が流れ難くなったり、発光素子が発光し難くなったりしても、当該発光素子における駆動電流量或いは発光量は、ほぼ一定とされる。

更に、補正回路による補正を複数の画素について個別に行うようにすれば、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性にバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。

以上の結果、第3の表示装置によれば、有機EL素子等の電流駆動型の発光素子を薄膜トランジスタ等の駆動素子により駆動する表示装置において、各素子の経時劣化や特性バラツキによる画面輝度の低下や画面ムラを低減できる。

(39) 第3の表示装置の一つの態様では、前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなる。

この態様によれば、薄膜トランジスタのゲートにデータ信号が供給されると、そのソース及びドレイン間のコンダクタンスは、ゲート電圧により制御（変化）される。従って、このソース及びドレイン間を介して発光素子に流れる駆動電流を、データ信号の電圧に応じて制御することができる。

(40) 第3の表示装置の他の態様では、前記測定された電流量及び発光量の少なくとも一方を記憶するメモリ装置を更に備えており、前記補正回路は、該記

憶された電流量及び発光量の少なくとも一方に基づいて前記画像信号を補正する。

この態様によれば、測定された電流量又は発光量は、メモリ装置に記憶される。そして、画像信号は、該記憶された電流量又は発光量に基づいて補正回路により補正される。従って、表示期間とは時間的に相前後する非表示期間における測定により、表示期間における補正を行うことが可能となる。更に、複数の画素に対する補正を同一の測定部や補正回路を用いて行うことが可能となる。

(41) 第3の表示装置の他の態様では、前記電源配線は、画素列に対応して設けられており、前記測定部は、前記駆動電流の電流量を測定し、前記電源配線を表示期間に前記電源部の側に接続すると共に非表示期間に前記測定部の側に接続する切換スイッチと、順次パルスを前記電源配線の各々に対応して順次出力するシフトレジスタと、前記非表示期間に前記順次パルスに応じて前記電源配線の各々と前記測定部との間の導通を順次制御する伝送スイッチとを含む共通線駆動回路を更に備える。

この態様によれば、共通線駆動回路内において、表示期間には、電源配線は切換スイッチにより電源部の側に接続される。従って、電源部からの電源供給を受けて発光素子は発光して通常の表示動作を行う。他方、非表示期間には、電源配線は切換スイッチにより測定部の側に接続される。この際、シフトレジスタからは、電源配線の各々に対応して順次パルスが順次出力され、伝送スイッチにより順次パルスに応じて電源配線の各々と測定部との間の導通が順次とられる。そして、測定部により、駆動電流の電流量が測定される。従って、画素列に対応して設けられた電源配線を測定対象として順次選択することにより、画素列毎の電流量測定が可能となり、更に、走査信号を用いて行毎に発光素子を駆動する構成を採れば、画素毎の電流量測定が可能となる。この結果、画素列毎或いは画素毎の補正が可能となる。

(42) 第3の表示装置の他の態様では、前記測定部は、前記発光量を測定し、画素列に対応して設けられており前記発光量を示す電気信号を前記測定部に伝送する検光線と、順次パルスを前記検光線の各々に対応して順次出力するシフトレジスタと、非表示期間に前記順次パルスに応じて前記検光線の各々と前記測定部との間の導通を順次制御する伝送スイッチとを含む検光線駆動回路とを更に備え

る。

この態様によれば、非表示期間には、シフトレジスタからは、検光線の各々に対応して順次パルスが順次出力され、伝送スイッチにより順次パルスに応じて検光線の各々と測定部との間の導通が順次とられる。そして、測定部により、発光量が測定される。従って、画素列に対応して設けられた検光線を測定対象として順次選択することにより、画素列毎の発光量測定が可能となり、更に、走査信号を用いて行毎に発光素子を駆動する構成を採れば、画素毎の発光量測定が可能となる。この結果、画素列毎或いは画素毎の補正が可能となる。

(43) 第3の表示装置の他の態様では、前記測定部は、半導体素子の光励起電流によって前記発光量を測定する。

この態様によれば、半導体素子の光励起電流によって、発光素子の発光量が測定部により測定され、この測定された発光量に基づいて補正が行われる。従って、比較的単純な素子を用いて高精度の測定を行うことが可能となる。

(44) このように半導体素子の光励起電流によって測定する態様では、前記半導体素子がPINダイオードであってもよい。

この場合、PINダイオードのPIN接合部における光励起電流によって、発光素子の発光量が測定可能となる。

(45) 或いは、このように半導体素子の光励起電流によって測定する態様では、前記半導体素子が電界効果型トランジスタであってもよい。

この場合、電界効果トランジスタのチャネル部における光励起電流によって、発光素子の発光量が測定可能となる。

(46) 或いは、このように半導体素子の光励起電流によって測定する態様では、前記駆動素子は薄膜トランジスタからなり、該薄膜トランジスタと前記半導体素子とが、同一の工程で形成されるように構成してもよい。

この態様によれば、駆動素子と半導体素子とを同一の工程で形成できるので、製造上有利である。

(47) 第3の表示装置の他の態様では、前記駆動素子は、600℃以下の低温プロセスで形成された、多結晶シリコン薄膜トランジスタからなる。

この態様によれば、比較的低価格の大型ガラス基板等の上に、高駆動能力を持

つ駆動素子を、低コストで作成することが可能となる。

(48) 第3の表示装置の他の態様では、前記発光素子は、インクジェットプロセスで形成された、有機エレクトロルミネッセンス素子からなる。

この態様によれば、発光効率が高く長寿命の発光素子を作成することができ、基板上でのパターンニングを容易に行うことができる。更に、プロセス中の廃棄材料が少なく、プロセス用の装置も比較的低価格であるため、当該表示装置における低コスト化を実現できる。

(49) 第3の表示装置の他の態様では、前記測定部は、前記駆動電流及び前記発光量の少なくとも一方の測定を画素毎に行い、前記補正回路は、該画素毎に前記画像信号を補正する。

この態様によれば、駆動電流又は発光量の測定が測定部により画素毎に行われ、前記画像信号は補正回路により画素毎に補正される。従って、複数の画素間で、発光素子や駆動素子の電圧電流特性や電流発光特性に、製造バラツキや表示履歴による劣化の程度の差に起因したバラツキ等のバラツキがあったとしても、当該複数の画素の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。この結果、各素子の特性バラツキによる画面ムラを詳細に低減できる。

(50) 第3の表示装置の他の態様では、前記測定部は、前記駆動電流及び前記発光量の少なくとも一方の測定を複数の画素からなる所定単位毎に行い、前記補正回路は、該所定単位毎に前記画像信号を補正する。

この態様によれば、駆動電流又は発光量の測定が測定部により、複数の画素からなる所定単位毎に行われ、前記画像信号は補正回路により、この所定単位毎に補正される。この所定単位としては、例えば相隣接する n 個($n=2, 4, 8, 16, 32, 64, \dots$)の画素からなるが、その数は、要求される輝度の均一性や測定部や補正回路の処理能力に応じて決めればよい。従って、複数の所定単位間で、発光素子や駆動素子の電圧電流特性や電流発光特性に、製造バラツキや表示履歴による劣化の程度の差に起因したバラツキ等のバラツキがあったとしても、当該複数の所定単位の発光素子における駆動電流量或いは発光量を、ほぼ一定にできる。この結果、各素子の特性バラツキによる画面ムラを効率良く低減できる。そして、このような測定及び補正は、画素毎に測定及び補正を行う場合と比較し

て、比較的短時間で且つ容易に行うことが可能である。

(51) 第3の表示装置の他の態様では、前記補正回路は、前記画像信号の信号レベルを既定の信号レベルから他の既定の信号レベルへと変換することにより前記画像信号を補正する。

この態様によれば、前記補正回路による補正の際に、画像信号の信号レベルは既定の信号レベルから他の既定の信号レベルへと変換されるので、規定の信号レベルとは異なる信号レベルを設けておく必要が無い。これにより、例えば、信号線駆動回路の構成を簡素化できたり、信号線駆動回路で必要な電源の種類を減らしたり出来る。この結果、表示装置として、回路の簡素化、動作の高速化及び消費電流の低減を実現できる。

(52) 本発明の第4の表示装置は上述の技術的課題を解決するために、上述した本発明の各種態様における画素回路を画素毎に備えたことを特徴とする。

第4の表示装置によれば、画素毎に本発明の画素回路を備えているので、発光素子や駆動素子における経時劣化や特性バラツキによる画面輝度の低下や画面ムラが低減された高品位の画像表示が可能となる。

(53) 本発明の電子機器は上述の技術的課題を解決するために、上述した本発明の各種態様における第1、第2及び第3表示装置のいずれか一つを備えたことを特徴とする。

本発明の電子機器によれば、本発明の表示装置を備えているので、発光素子や駆動素子における経時劣化や特性バラツキによる画面輝度の低下や画面ムラが低減された高品位の画像表示が可能な各種の電子機器を実現できる。

図面の簡単な説明

図1は、本発明の各実施例に共通する表示装置の基本的な全体構成を示すブロック図である。

図2は、図1の表示装置の一画素における平面図である。

図3は、本発明の第1実施例の表示装置のブロック図である。

図4は、第1実施例における画像信号の階調レベル(D)、データ信号電圧(V_{sig})及び駆動電流(I_d)の関係並びに経時劣化の補正方法を示す特性図である。

図5は、第1実施例の一変形例のブロック図である。

図6は、第1実施例の他の変形例のブロック図である。

図7は、図6の変形例におけるデータ信号 (V_{sig}) 及び駆動電流 (I_d) の関係並びに経時劣化の補正方法を示す特性図である。

図8は、本発明の第2実施例の表示装置のブロック図である。

図9は、本発明の第3実施例の表示装置のブロック図である。

図10は、本発明の第4実施例の表示装置のブロック図である。

図11は、本発明の第5実施例の表示装置の一画素における等価回路図である。

図12は、本発明の第6実施例の表示装置の一画素における等価回路図である。

図13は、本発明の第7実施例の表示装置の一画素における等価回路図である。

図14は、本発明の第8実施例の表示装置の一画素における等価回路図である。

図15は、本発明の第9実施例の表示装置の一画素における等価回路図である。

図16は、本発明の第10実施例の表示装置の一画素における等価回路図である。

図17は、本発明の第11実施例の表示装置の全体構成を一画素の回路図を含めて示すブロック図である。

図18は、第11実施例の表示装置が備える共通線駆動回路の回路図である。

図19は、本発明の第12実施例の表示装置の全体構成を一画素の回路図を含めて示すブロック図である。

図20は、第12実施例の表示装置が備える TFT-OELD 部分の断面図である。

図21は、第12実施例の表示装置における経時劣化の補正方法を示す特性図である。

図22は、本発明の第13実施例の表示装置における経時劣化の補正方法を示す特性図である。

図23は、本発明による電子機器の実施の形態の概略構成を示すブロック図である。

図24は、電子機器の一例としてのパーソナルコンピュータを示す正面図である。

図 25 は、電子機器の他の例としての TCP を用いた液晶装置を示す斜視図である。

発明を実施するための最良の形態

以下、本発明を実施するための最良の形態について実施例毎に図面に基づいて説明する。

先ず以下に説明する各実施例の TFT-OELD（即ち、駆動用の薄膜トランジスタ及び該薄膜トランジスタにより電流駆動される有機 EL 素子）を備えた表示装置において共通する基本的な構成について図 1 及び図 2 を参照して説明する。ここに、図 1 は、表示装置の基本的な全体構成を示すブロック図であり、特に 4 つの相隣接する画素に夫々設けられた画素回路の基本的な回路構成を示す回路図を含む。また、図 2 は、この表示装置の一画素の平面図である。

図 1 に示すように、表示装置 100 は、TFT アレイ基板 1 上に、X 方向に夫々延びており Y 方向に配列された複数の走査線 131 と、Y 方向に夫々延びており X 方向に配列された複数の信号線 132 及び複数の共通線（共通給電線）133 と、走査線 131 に走査信号を供給する走査線駆動回路 11 と、信号線 132 にデータ信号を供給する信号線駆動回路 12 と、共通線 133 に所定電位の正電源（又は負電源）を供給する共通線駆動回路 13 とを備えて構成されている。そして、TFT アレイ基板 1 の中央には、表示領域 15 が設けられており、表示領域 15 内には、複数の画素 10 がマトリクス状に規定されている。

図 1 及び図 2 に示すように、各画素 10 には、第 2 薄膜トランジスタの一例としてのスイッチング TFT 221、スイッチング TFT 221 に制御されて各画素への電流を制御する第 1 薄膜トランジスタの一例としての TFT（以下、カレント TFT と称す）223、有機 EL 素子 224 及び保持容量 222 からなる画素回路が設けられている。更にカレント TFT 223 のドレインには、ITO（Indium Tin Oxide）膜等からなる画素電極 141 が接続されており（図 2 参照）、画素電極 141 に対して有機 EL 素子 224 を介して Al（アルミニウム）膜等からなる対向電極が対向配置されている。この対向電極は、例えば接地されているか或いは所定電位の負電源（又は正電源）に接続されている。

以上のように構成されているため、一画素における発光動作は、以下のように行われる。即ち、走査線駆動回路 1 1 から走査線 1 3 1 への走査信号の出力があり且つ信号線駆動回路 1 2 から信号線 1 3 2 にデータ信号が供給された際に、これらの走査線 1 3 1 及び信号線 1 3 2 に対応する画素 1 0 におけるスイッチング T F T 2 2 1 がオンとなり、信号線 1 3 2 に供給されるデータ信号の電圧 (V sig) がカレント T F T 2 2 3 のゲートに印加される。これにより、ゲート電圧に応じた駆動電流 (I d) が共通線駆動回路 1 3 から共通線 1 3 3 を介してカレント T F T 2 2 3 のドレイン・ソース間に流れ、更に画素電極 1 4 1 (図 2 参照) を介して有機 E L 素子 2 2 4 から対向電極へと流れて、有機 E L 素子 2 2 4 が発光する。そして、スイッチング T F T 2 2 1 がオンの間に保持容量 2 2 2 に充電された電荷が、スイッチング T F T 2 2 1 がオフとなった後に放電されて、この有機 E L 素子 2 2 4 を流れる電流はスイッチング T F T 2 2 1 がオフとなった後にも所定期間に亘り流れ続ける。

尚、以下の各実施例では、表示装置の各画素において電流駆動される電流駆動型発光素子は有機 E L 素子とされているが、この有機 E L 素子に代えて、その他の例えば、無機のエレクトロルミネッセンス (以下、無機 E L 素子と称す)、L E D (ライト・エミッティング・ダイオード=発光ダイオード)、L E P (ライト・エミッティング・ポリマー) 等の公知の電流駆動型発光素子を用いて当該表示装置を構成してもよい。また、各電流駆動型発光素子の駆動電流を制御する駆動素子はカレント T F T とされているが、このカレント T F T に代えて、その他の例えば F E T (電界効果トランジスタ)、バイポーラトランジスタ等の駆動素子を用いて当該表示装置を構成してもよい。電流駆動型発光素子や電流駆動用の駆動素子であれば、駆動電流が流れるにつれて経時劣化が多少なりとも生じるため、以下に説明する各実施例の効果が発揮される。但し、経時劣化が特に顕著である有機 E L 素子 2 2 4 及びカレント T F T 2 2 3 を用いて表示装置を構成した場合に、以下に説明する各実施例の効果が有効に発揮される。

以上説明した基本構成において、下記の第 1 実施例～第 1 3 実施例に示した有機 E L 素子 2 2 4 やカレント T F T 2 2 3 における経時劣化や特性のばらつきを適宜補正する回路や素子を付加することにより、表示領域 1 5 における画面輝度

の低下や複数の画素 10 間における画面むらの発生を防止することが可能となる。
以下、各実施例について説明する。

(第 1 実施例)

図 3 は、本発明の第 1 実施例に係る TFT-OELD を備えた表示装置のブロック図である。本実施例では、共通電極駆動回路 13 は、共通線 133 (図 1 及び図 2 参照) に所定電位 (例えば正電位) の電源信号を供給する回路である。対向電極駆動回路 14 は、画素電極 141 (図 2 参照) に有機 EL 素子 224 を挟んで対向配置された対向電極に対し、所定電位 (例えば、接地電位) の電源信号を供給する回路である。

本実施例では特に、有機 EL 素子 224 やカレント TFT 223 の経時劣化による駆動電流の低下 (従って、有機 EL 素子 224 の発光量の低下) を補正するために、電流量測定器 16、比較回路 21a、電圧制御回路 22a 及びコントローラ 23 が設けられている。尚、これらの共通電極駆動回路 13、対向電極駆動回路 14、電流量測定器 16、比較回路 21a、電圧制御回路 22a 及びコントローラ 23 のうち少なくとも一つは、図 1 に示した TFT アレイ基板 1 上に設けられてもよいし、或いは、外部 IC として構成され、TFT アレイ基板 1 に対して外付けされてもよい。

電流量測定器 16 は、共通電極駆動回路 13 から、表示領域 15 内の表示用の有機 EL 素子 224 (図 1 参照) へ流れる駆動電流を測定する。

比較回路 21a は、電流量測定器 16 により測定された測定電流量 I_D と、予め設定された基準電流量 I_{ref} とを比較し、電圧制御回路 22a は、その比較結果に基づき両電流量の差が小さくなるように共通電極駆動回路 13 の出力電圧 (V_{com}) を調整する。即ち、共通電極駆動回路 13 からの出力電圧 (V_{com}) に対して、測定電流量 I_D が基準電流量 I_{ref} に近付くようにフィードバックが掛けられる。この結果、仮にこのようなフィードバックを掛けなかった場合に有機 EL 素子 224 やカレント TFT 223 の経時劣化による有機 EL 素子 224 を流れる駆動電流の減少分は、共通電極駆動回路 13 の出力電圧 (V_{com}) の増加による駆動電流の増加分により補正される。

このような本実施例による補正作用を図 4 を参照して説明する。

先ず、本実施例の如き補正を行わない場合について図4の上段を参照して説明する。この場合、画像信号の階調レベルD1に対応して画素表示する際に電圧V1のデータ信号を信号線に供給すると、駆動電流I_{d1}が流れるように表示装置における共通電極電位、対向電極電位、データ信号の電源電位等が初期設定されていたとする。その後、有機EL素子やカレントTF Tが経時劣化すると、同じ電圧V1のデータ信号を供給しても、有機EL素子を流れる駆動電流I_dは、減少してしまう（ここで、減少後の電流をI_{d1'}とする）。従って、このままの諸電圧の設定状態で、画像表示を行うと、駆動電流I_dに応じて発光する有機EL素子の明るさ（輝度）は低下してしまうのである。

次に、本実施例の如き補正を行う場合について図4の下段を参照して説明する。この場合には、有機EL素子224やカレントTF T223が経時劣化しても、同じ階調レベルD1に対しては初期状態と同じ駆動電流I_{d1}が得られるように、共通電極駆動回路13からの出力電圧（V_{com}）が増加される。即ち、共通電極駆動回路13からの出力電圧（V_{com}）を増加させることにより、階調レベルD1の画像信号に対しては、電圧V1よりもΔV1だけ高い電圧V1'のデータ信号が供給された時と同様の駆動電流I_{d1}が流れる。

このように、有機EL素子224を流れる駆動電流I_dは、共通電極駆動回路13の出力電圧（V_{com}）を上げることにより、画像信号に対する電流特性が初期状態と同じになるように補正されるのである。従って、このような経時劣化に対する補正処理（即ち、共通電極駆動回路13の出力電圧（V_{com}）の調整処理）後に画像表示を行うと、有機EL素子224やカレントTF T223において顕著な経時劣化が発生していた場合にも、有機EL素子224の明るさ（輝度）の低下を低減することが出来る。

以上のような補正処理は、表示動作と並行してリアルタイムで行うことも可能である。但し、経時劣化の進行速度に鑑みれば、表示装置100の表示動作の間中常時行う必要性は低く、適当な期間をおいて行えば十分である。そこで本実施例では、コントローラ23により、例えば表示期間に先立って表示装置100の主電源投入時や一定の期間毎に通常の表示動作とは独立して、このような経時劣化に対する補正処理を行い、一の補正処理から次の補正処理までの間は共通電極

駆動回路 13 の出力電圧値 (V_{com}) を最後に補正 (調整) された値に固定するように構成されている。この構成によれば、補正処理により表示画像の画質に悪影響を与えない利点や、表示装置 100 における動作速度やリフレッシュレートを低下させない利点が得られる。

更に本実施例では、コントローラ 23 により、例えば、全ての有機 EL 素子 224 を最大限に発光させるデータ信号を供給するなど、所定パターンの画像表示を表示領域 15 において行いつつ、このような電圧制御回路 22a 等による補正処理を行うように構成されている。この構成により、精度よく電流量を測定することができ、正確に経時劣化による影響を補正することが可能となる。

以上の結果、本実施例によれば、有機 EL 素子 224 を流れる駆動電流 I_d の電流量が低下する経時劣化が発生したときに、その経時劣化による電流低下分を精度良く補正し、画面輝度の低下を生じさせないようにすることが可能となる。

尚、本実施例では、測定した有機 EL 素子 224 を流れる測定電流量 I_D に対応して、共通線 133 に印加される電圧、即ち画素電極 141 に印加される電圧を調整するように構成されている。しかしながら、本実施例の変形例として、このように測定された測定電流量 I_D に対応して、走査線 131、信号線 132 (走査線 131 及び信号線 132 を総称して“バス配線”と称す)、又は、対向電極 (画素電極 141 及び対向電極を総称して“電極”と称す) に印加される電圧を調整するように構成してもよい。

即ち、例えば、図 5 に示したように、図 3 に示した電圧制御回路 22a に代えて、比較回路 21a において比較される測定電流量 I_D と基準電流量 I_{ref} とが一致するように対向電極駆動回路 14 の電圧を調整する電圧制御回路 22b を設けても、上述の第 1 実施例と同様の効果が得られる。但し、この場合には、対向電極を接地したのでは機能しないことは言うまでもない。

或いは、図 6 に示したように、図 3 に示した電圧制御回路 22a に代えて、比較回路 21a において比較される測定電流量 I_D と基準電流量 I_{ref} とが一致するように信号線駆動回路 12 の電圧を調整する電圧制御回路 22c を設けても、上述の第 1 実施例と同様の効果が得られる。

更に、以上の第 1 実施例及びその変形例において、補正処理 (電圧制御回路 2

2 a等による電圧調整処理)を行う際に表示領域15に表示する所定パターンとしては、例えば、前述のように全ての有機EL素子224を最大限に発光させるデータ信号を供給する一種類のパターンを用いてもよく、或いは、コントローラ23による制御下で、複数のパターンについての測定電流量IDを予め各パターンに対して設定された基準電流量I_{ref}と夫々比較して、例えば、複数のパターンについての両者の差の合計が最も小さくなるように電圧制御回路22a等による電圧調整を行うように構成してもよい。

特に、図6に示した信号線駆動回路12の出力電圧(即ち、データ信号の電圧V_{sig})を調整する変形例の場合には、コントローラ23による制御下で、このように複数のパターンについて測定電流量IDを夫々対応する基準電流量I_{ref}に一致させるようにデータ信号の電圧V_{sig}を調整することにより、図7に示すように、データ信号の各電圧(V_n)を、駆動電流I_dの各値I_{d1}、I_{d2}、…、I_{dn}、…について別々に、各電圧(V_n')にまで夫々高めることも可能となる。即ち、データ信号V_{sig}に対する駆動電流I_dの電圧電流特性曲線がC1からC2のように経時劣化により複雑に変化した場合(例えば、経時劣化による変化が低電流側で高電流側より激しい場合或いはその逆の場合等)に、このように各駆動電流I_dの値に応じて補正量を定めれば、入力される画像信号の各階調レベルに対し、有機EL素子224における駆動電流I_dや発光量を精度良く維持することが可能となる。

以上詳細に説明したように本実施例及びその変形例によれば、実際に有機EL素子224を流れる駆動電流(測定電流量ID)と予め設定された基準電流(基準電流量I_{ref})との差に対応して、バス配線または電極に印加される電圧を調整するので、有機EL素子224やカレントTFT223における経時劣化を補正することが可能となる。

(第2実施例)

図8は、本発明の第2実施例に係るTFT-OELDを備えた表示装置のブロック図である。図8において、図3に示した第1実施例と同じ構成要素には同じ参照符号を付し、その説明は省略する。

本実施例では、表示領域15に隣接して設けられた電流モニタ領域17内のモ

モニタ用有機EL素子17aに対し共通電極及び対向電極間の電圧が印加されており、表示期間には、表示用の有機EL素子224（図1参照）とほぼ同じ条件で、モニタ用有機EL素子17aは電流駆動される。そして、経時劣化に対する補正処理を行う際には、電流量測定器16は、モニタ用有機EL素子17aを流れる電流 I_{dm} を測定する。この電流量測定器16による電流 I_{dm} の測定値である測定電流量 I_D を基準電流量 I_{ref} に一致させるように、比較回路21a、電圧制御回路22a及びコントローラ23により、共通電極駆動回路13の出力電圧(V_{com})を調整するように構成されている。その他の構成については、第1実施例の場合と同様である。

以上のように構成されているため第2実施例によれば、有機EL素子224やカレントTF-T223（図1及び図2参照）の電流量が低下する経時劣化が発生したときに、その経時劣化による電流低下を補正し、表示領域15における画面輝度の低下を低減することが可能となる。

尚、本実施例では特に、表示用の有機EL素子224とモニタ用EL素子17aとは、同一のTF-Tアレイ基板1上に同一の製造工程により形成されている。従って、モニタ用有機EL素子17aを形成するための工程を別途設ける必要が無い。しかも、電流駆動される表示用の有機EL素子224とモニタ用有機EL素子17aとにおける経時劣化傾向を相類似させることができ、モニタ用有機EL素子17aを流れる電流 I_{dm} に基づいて表示用の有機EL素子224における経時劣化に対する補正をかなり適切に行うことが可能となる。

また第2実施例においても、第1実施例の場合と同様に、経時劣化に対する補正処理は、例えば表示期間に先立って表示装置100の主電源投入時や一定の期間毎に行ってもよいし、リアルタイムで行ってもよい。更に、変形例として、このように測定された測定電流量 I_D に対応して、走査線駆動回路11、信号線駆動回路12又は対向電極駆動回路14における出力電圧を調整するように構成してもよい。特に、信号線駆動回路12の出力電圧を調整する変形例の場合には、コントローラ23による制御下で、明るさの相異なる複数の表示を電流モニタ領域17で行うようにモニタ用有機EL素子17aを駆動すれば、各明るさに対して得られる測定電流量 I_D を夫々対応する基準電流量 I_{ref} に一致させるように

データ信号の電圧 V_{sig} を調整することにより、経時劣化による電流電圧特性に複雑な変化が生じた場合等にも対処可能である。

(第3実施例)

図9は、本発明の第3実施例に係るTFT-OELDを備えた表示装置のブロック図である。図9において、図3に示した第1実施例と同じ構成要素には同じ参照符号を付し、その説明は省略する。

本実施例では、第1実施例における電流量測定器16に代えて、表示領域15内の表示用の有機EL素子224(図1参照)の発光量を測定する発光量測定器18が備えられている。経時劣化に対する補正を行う際には、走査線駆動回路11からの所定電圧の走査信号、信号線駆動回路12からの所定電圧のデータ信号、並びに共通電極駆動回路13及び対向電極駆動回路14からの所定電圧の電源信号が印加される。発光量測定器18は、これに応じて発光する有機EL素子224から発せられる光を検出する。比較回路21bは、その測定発光量LDと予め設定された基準発光量Lrefとを比較する。そして、この比較される発光量LDと基準発光量Lrefとを一致させるように、比較回路21b、電圧制御回路22a及びコントローラ23により、共通電極駆動回路13の出力電圧を調整するように構成されている。その他の構成については、第1実施例の場合と同様である。

以上のように構成された第3実施例によれば、カレントTFT223(図1及び図2参照)におけるゲート電圧に対するドレイン電流(駆動電流)量が低下する経時劣化、有機EL素子224における電圧に対する電流量が低下する経時劣化、有機EL素子224における駆動電流に対する発光量が低下する経時劣化などが発生し、最終的に有機EL素子224における発光量が低下したときに、その経時劣化による発光量低下分を有機EL素子224に印加される電圧を増加することにより補正し、表示領域15における画面輝度の低下を防ぐことが可能となる。

また第3実施例においても、第1実施例の場合と同様に、経時劣化に対する補正は、例えば表示期間に先立って表示装置100の主電源投入時や一定の期間毎に行ってもよいし、リアルタイムで行ってもよい。更に、変形例として、このように測定された測定発光量LDに対応して、走査線駆動回路11、信号線駆動回

路 1 2 又は対向電極駆動回路 1 4 における出力電圧を調整するように構成してもよいし、経時劣化に対する補正を行う際の所定パターンは一種類でも複数種類でもよい。特に、信号線駆動回路 1 2 の出力電圧を調整する変形例の場合には、コントローラ 2 3 による制御下で、複数の所定パターンについて測定発光量 L_D を夫々対応する基準発光量 L_{ref} に一致させるようにデータ信号の電圧 V_{sig} を調整することにより、経時劣化による電流電圧特性の複雑な変化にも対処可能となる。

(第 4 実施例)

図 1 0 は、本発明の第 4 実施例に係る TFT-OLED を備えた表示装置のブロック図である。図 1 0 において、図 3 及び図 9 に夫々示した第 1 及び第 3 実施例と同じ構成要素には同じ参照符号を付し、その説明は省略する。

本実施例では、表示領域 1 5 に隣接して設けられた発光モニタ領域 1 9 内のモニタ用有機 EL 素子 1 9 a に対し共通電極及び対向電極間の電圧が印加されており、表示期間には、表示用の有機 EL 素子 2 2 4 (図 1 参照) とほぼ同じ条件で、モニタ用有機 EL 素子 1 9 a は電流駆動される。そして、経時劣化に対する補正を行う際には、発光量測定器 1 8 は、モニタ用有機 EL 素子 1 9 a の発光を測定する。この発光量測定器 1 8 による発光の測定値である測定発光量 L_D を基準発光量 L_{ref} に一致させるように、比較回路 2 1 b、電圧制御回路 2 2 a 及びコントローラ 2 3 により、共通電極駆動回路 1 3 の出力電圧を調整するように構成されている。その他の構成については、第 1 及び第 3 実施例の場合と同様である。

以上のように構成された第 4 実施例によれば、第 3 実施例の場合と同様に、カレント TFT 2 2 3 (図 1 及び図 2 参照) や有機 EL 素子 2 2 4 における電圧に対する電流量が低下する経時劣化、有機 EL 素子 2 2 4 における駆動電流に対する発光量が低下する経時劣化などが発生し、最終的に有機 EL 素子 2 2 4 における発光量が低下したときに、その発光量低下分を補正し、表示領域 1 5 における画面輝度の低下を防ぐことが可能となる。

また第 4 実施例においても、第 1 実施例の場合と同様に、経時劣化に対する補正は、例えば表示期間に先立って表示装置 1 0 0 の主電源投入時や一定の期間毎に行ってもよいし、リアルタイムで行ってもよい。更に、変形例として、このよ

うに測定された測定発光量 L_D に対応して、走査線駆動回路11、信号線駆動回路12又は対向電極駆動回路14における出力電圧を調整するように構成してもよいし、経時劣化に対する補正を行う際の所定パターンは一種類でも複数種類でもよい。特に、信号線駆動回路12の出力電圧を調整する変形例の場合には、コントローラ23による制御下で、複数の所定パターンについて測定発光量 L_D を夫々対応する基準発光量 L_{ref} に一致させるようにデータ信号の電圧 V_{sig} を調整することにより、経時劣化による電流電圧特性の複雑な変化にも対処可能となる。

尚、本実施例では特に、表示用の有機EL素子224とモニタ用有機EL素子19aとは、同一のTFTアレイ基板1上に同一の製造工程により形成されている。従って、モニタ用EL素子19aを形成するための工程を別途設ける必要が無い。しかも、電流駆動される表示用の有機EL素子224とモニタ用有機EL素子19aとにおける経時劣化傾向は相類似したものにすることができ、モニタ用EL素子19aから発せられる光に基づいて表示用の有機EL素子224における経時劣化に対する補正を正確に行うことが可能となる。

(第5実施例)

以下に説明する第5実施例から第10実施例は、上述の第1実施例から第4実施例の場合とは異なり、各画素の単位で発生する有機EL素子224やカレントTFT223における経時劣化による駆動電流量低下或いは有機EL素子224の発光量低下を、各画素の単位で補正する画素回路に関するものである。

尚、以下の第5実施例から第10実施例では、複数の画素回路を画素毎に備えてなる表示装置の構成は、図1に示したものと同様であるので、その説明は省略する。

図11は、本発明の第5実施例に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図11において、図1の各画素10内における回路図部分に示した構成要素と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図11において、本実施例の画素回路では、有機EL素子224の両端の電圧と、これを流れる駆動電流 I_d の電流量との関係に依存して、第1給電線213

と第2給電線間215の抵抗を変化させる。ここに、第1給電線213とは、共通線駆動回路からの所定電位の電源信号が供給される、画素電極に接続された各画素内における共通線部分である。他方、第2給電線間215とは、対向電極駆動回路からの所定電位の電源信号が供給される、対向電極に接続された各画素内における給電線部分である。

より具体的には、第1給電線（共通電極）213の電位が第2給電線（対向電極）215よりも高電位である（即ち、共通電極に正電源が供給されると共に対向電極に負電源が供給される）場合には、図11に示した通りに、 n チャネル型の第1の補正用TFT231は、そのゲート電極が有機EL素子224の第1給電線側の電極に接続され、ソース電極及びドレイン電極が有機EL素子224と第2給電線215間に有機EL素子224と直列に接続されるように付加される。この構成によれば、有機EL素子224の抵抗が増加すると、第1の補正用TFT231のゲート電圧が上昇し、そのソース電極とドレイン電極間の抵抗が減少する。

従って第5実施例によれば、経時劣化により有機EL素子224の抵抗が増加しても、第1の補正用TFT231のソース及びドレイン間の抵抗減少により、その有機EL素子224における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

なお、第5実施例の変形例として、第1給電線213の電位が第2給電線215よりも低電位である（即ち、共通電極に負電源が供給されると共に対向電極に正電源が供給される）場合には、第1の補正用TFT231を p チャネル型として、そのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を有機EL素子224と第2給電線215間に有機EL素子224と直列に接続するように構成すればよい。この構成によれば、有機EL素子224の抵抗が増加すると、第1の補正用TFT231のゲート電圧が下降し、ソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われ

る。

本実施例では好ましくは、スイッチングTFT221、カレントTFT223及び第1の補正用TFT231は、同一のTFTアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

(第6実施例)

図12は、本発明の第6実施例に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図12において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

図12において、本実施例の画素回路では、有機EL素子224の両端の電圧と、これを流れる駆動電流 I_d の電流量との関係に依存して、第1給電線213と第2給電線間215の抵抗を変化させる。

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図12に示した通りに、pチャネル型の第2の補正用TFT232は、そのゲート電極が有機EL素子221の第2給電線側の電極に接続され、ソース電極およびドレイン電極が有機EL素子224と第1給電線間に有機EL素子224と直列に接続されるように付加される。この構成によれば、有機EL素子224の抵抗が増加すると、第2の補正用TFT232のゲート電圧が下降し、そのソース電極とドレイン電極間の抵抗が減少する。

従って第6実施例によれば、経時劣化により有機EL素子224の抵抗が増加しても、第2の補正用TFT232のソース及びドレイン間の抵抗減少により、その有機EL素子224における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

なお、第6実施例の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、第2の補正用TFT232をnチャネル型TFTとして、そのゲート電極を有機EL素子224の第2給電線側の電極に接続し、

ソース電極およびドレイン電極を有機EL素子224と第1給電線間に有機EL素子224と直列に接続するように構成すればよい。この構成によれば、有機EL素子224の抵抗が増加すると、第2の補正用TF T 232のゲート電圧が上昇し、ソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われる。

本実施例では好ましくは、スイッチングTF T 221、カレントTF T 223及び第2の補正用TF T 232は、同一のTF Tアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

(第7実施例)

図13は、本発明の第7実施例に係るTF T-OELDを含んで構成された画素回路の等価回路図である。尚、図13において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

図13において、本実施例の画素回路では、有機EL素子224の両端の電圧と、これを流れる駆動電流 I_d の電流量との関係に依存して、保持容量222と第1給電線213間の抵抗を変化させる。

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図13に示した通りに、カレントTF T 223と同じnチャネル型の第3の補正用TF T 233は、そのゲート電極が有機EL素子224の第1給電線側の電極に接続され、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続されるように付加されている。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TF T 233のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が減少する。このため、カレントTF T 223のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が減少する。

従って第7実施例によれば、経時劣化により有機EL素子224の抵抗が増加しても、第3の補正用TF T 233のソース及びドレイン間の抵抗減少により、その有機EL素子224における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したと

きに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

なお、第7実施例の一変形例として、第1給電線213の電位が第2給電線よりも高電位である場合に、カレントTFT223をpチャネル型とし、第3の補正用TFT233をpチャネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TFT233のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が増加する。このため、カレントTFT223のゲート電圧が下降し、そのソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われる。

また、第7実施例の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、カレントTFT223をnチャネル型とし、第3の補正用TFT233をnチャネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TFT233のゲート電圧が下降して、そのソース電極とドレイン電極間の抵抗が増加する。このため、カレントTFT223のゲート電圧が上昇し、そのソース電極とドレイン電極間の抵抗が減少して、自動的に補正が行われる。

更にまた、第7実施例の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位で場合に、カレントTFT223をpチャネル型とし、第3の補正用TFT233をpチャネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第3の補正用TFT233のゲート電圧が下降して、そのソース電極とドレイン電極間の抵抗が減少する。このため、カレントTFT223のゲート電圧が下降して、そのソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

本実施例では好ましくは、スイッチングTFT221、カレントTFT223及び第3の補正用TFT233は、同一のTFTアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

(第8実施例)

図14は、本発明の第8実施例に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図14において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

図14において、本実施例の画素回路では、有機EL素子224の両端の電圧と、これを流れる駆動電流 I_d の電流量との関係に依存して、保持容量222と第2給電線215間の抵抗を変化させる。

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図14に示した通りに、nチャネル型のTFT223に対して、pチャネル型の第4の補正用TFT234は、そのゲート電極が有機EL素子224の第1給電線側の電極に接続され、ソース電極およびドレイン電極が保持容量222と第2給電線215間に接続されるように付加されている。この構成によれば、有機EL素子224の抵抗が増加すると、第4の補正用TFT234のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が増加する。このため、カレントTFT223のゲート電圧が上昇して、そのソース電極とドレイン電極間の抵抗が減少する。

従って第8実施例によれば、経時劣化により有機EL素子224の抵抗が増加しても、第4の補正用TFT234のソース及びドレイン間の抵抗増加により、その有機EL素子224における抵抗増加による駆動電流 I_d の電流量低下を補正し、画面輝度の低下を低減することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の画素間で電流電圧特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

なお、第8実施例の一変形例として、第1給電線213の電位が第2給電線215よりも高電位である場合に、カレントTFT223をpチャネル型とし、第

4の補正用TFTをnチャンネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第2給電線215間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第4の補正用TFT234のゲート電圧が上昇して、ソース電極とドレイン電極間の抵抗が減少する。このため、カレントTFT223のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

また、第8実施例の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、nチャンネル型のカレントTFT223に対して第4の補正用TFTをpチャンネル型とし、そのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第2給電線215間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第4の補正用TFT234のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が減少する。このため、カレントTFT223のゲート電圧が上昇して、ソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

更にまた、第8実施例の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合に、カレントTFT223をpチャンネル型とし、第4の補正用TFT234をnチャンネル型とすると共にそのゲート電極を有機EL素子224の第1給電線側の電極に接続し、ソース電極およびドレイン電極を保持容量222と第2給電線215間に接続するように構成してもよい。この構成によれば、有機EL素子224の抵抗が増加すると、第4の補正用TFT234のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が増加する。このため、カレントTFT223のゲート電圧が下降して、ソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

本実施例では好ましくは、スイッチングTFT221、カレントTFT223及び第4の補正用TFT234は、同一のTFTアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

(第9実施例)

図15は、本発明の第9実施例に係るTFT-OLEDを含んで構成された画素回路の等価回路図である。尚、図15において、図1及び図11に示した構成要素と同様の構成要素には同様の参照符号を付し、その説明は省略する。

図15において、本実施例の画素回路に備えられた第1の補正用薄膜フォトダイオード241には、光を照射すると、低抵抗になる性質がある。

本実施例では、有機EL素子224の両端の電圧と発光量との関係に依存して、保持容量222と第1給電線213間の抵抗を変化させる。

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図15に示した通りに、pチャネル型のカレントTFT223に対し、第1の補正用薄膜フォトダイオード241は、保持容量222と第1給電線213間に接続されている。この構成によれば、有機EL素子224の発光が減少すると、第1の補正用薄膜フォトダイオード241の抵抗が増加する。このため、カレントTFT223は、そのゲート電圧が降下して、ソース電極とドレイン電極間の抵抗が減少する。

従って第9実施例によれば、経時劣化により有機EL素子224の発光量が低下しても、第1の補正用薄膜フォトダイオード241の抵抗増加により、その有機EL素子224における発光量低下を補正することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の有機EL素子間で発光特性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

なお、第9実施例の一変形例として、第5の補正用TFT（図示せず）を、そのソース電極およびドレイン電極を保持容量222と第1給電線213間に接続するように設けてもよい。

また、第9実施例の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、カレントTFT223をnチャネル型とし、第1の補正用薄膜フォトダイオード241を、保持容量222と第1給電線213間に接続するように構成すればよい。この場合更に、第5の補正用TFT（図示せず）を、そのソース電極およびドレイン電極を保持容量と第1給電線間に接

続するように設けてもよい。この構成によれば、有機EL素子224の発光量が減少すると、第1の補正用薄膜フォトダイオード241の抵抗が増加し、更にカレントTFT223のゲート電圧が上昇してそのソース電極とド레인電極間の抵抗が減少し、自動的に補正が行われる。

本実施例では好ましくは、スイッチングTFT221、カレントTFT223及び第1の補正用薄膜フォトダイオード241は、同一のTFTアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

(第10実施例)

図16は、本発明の第10実施例に係るTFT-OELDを含んで構成された画素回路の等価回路図である。尚、図16において、図1及び図11に示した構成要素と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図16において、本実施例の画素回路に備えられた第2の補正用薄膜フォトダイオード242には、光を照射すると、低抵抗になる性質がある。

本実施例では、有機EL素子224の両端の電圧と発光量との関係に依存して、保持容量222と第2給電線215間の抵抗を変化させる。

より具体的には、第1給電線213の電位が第2給電線215よりも高電位である場合には、図16に示した通りに、 n チャネル型のカレントTFT223に対し、第2の補正用薄膜フォトダイオード242が、保持容量222と第2給電線215間に接続されている。この構成によれば、有機EL素子224の発光量が減少すると、第2の補正用薄膜フォトダイオード242の抵抗が増加する。このため、カレントTFT223は、そのゲート電圧が上昇され、ソース電極とド레인電極間の抵抗が減少する。

従って第10実施例によれば、経時劣化により有機EL素子224の発光量が低下しても、第2の補正用薄膜フォトダイオード242の抵抗増加により、その有機EL素子224における発光量低下を補正することが可能となる。また、このような補正は画素単位で行われるので、経時劣化が複数の画素間でバラツキをもって発生したときに、或いは初期状態において複数の有機EL素子間で発光特

性にバラツキが存在するときに、画面ムラを生じさせないことが可能となる。

なお、第10実施例の一変形例として、第6の補正用TFT（図示せず）を、そのソース電極およびドレイン電極が保持容量と第2給電線215間に接続されるように設けてもよい。

また、第10実施例の他の変形例として、第1給電線213の電位が第2給電線215よりも低電位である場合には、カレントTFT223をpチャネル型とし、第2の補正用薄膜フォトダイオード242を、保持容量222と第2給電線215間に接続するように構成すればよい。この場合更に、第6の補正用TFT（図示せず）を、そのソース電極およびドレイン電極が保持容量222と第2給電線215間に接続されるように設けてもよい。この構成によれば、有機EL素子224の発光量が減少すると、第2の補正用薄膜フォトダイオード242の抵抗が増加し、更にカレントTFT223のゲート電圧が下降してそのソース電極とドレイン電極間の抵抗が減少し、自動的に補正が行われる。

本実施例では好ましくは、スイッチングTFT221、カレントTFT223及び第2の補正用薄膜フォトダイオード242は、同一のTFTアレイ基板上に同一の製造工程により形成されている。この構成によれば、製造工程を増加させることなく、経時劣化による駆動電流 I_d の低下を画素毎に補正することが可能となる。

（第11実施例）

次に、本発明の第11実施例を図17及び図18を参照して説明する。

図17は、第11実施例に係るTFT-OELDを備える表示装置のブロック図であり、図18は、この表示装置に備えられた共通線駆動回路13'のブロック図である。尚、図17において、表示領域115内には一画素のみについての画素回路を図記しているが、実際には各画素毎に同様の画素回路が設けられている。

図17において、本実施例の表示装置200aは、走査線駆動回路11及び信号線駆動回路12の他に、複数の共通線133夫々に対して別々に電源信号を供給可能に構成された共通線駆動回路13'と、共通線駆動回路13'に電源を供給する共通線電源205と、電流測定回路16'により測定された表示領域15

内の複数の画素 10 夫々についての測定電流量 I_{Dmn} (m : 信号線の番号 (1 ~ M)、 n : 信号線の番号 (1 ~ N)) を格納するフレームメモリ 207 と、画像信号源 208 と信号線駆動回路 12 との間に介在する劣化補正回路 209 とを更に備えて構成されている。劣化補正回路 209 は、複数の画素 10 夫々における経時劣化による駆動電流 I_d の電流量低下を補正すべく、画像信号源 208 から入力される画像信号の階調 (輝度) レベルをフレームメモリ 207 に格納された各測定電流量 I_{Dn} に応じて画素 10 毎に補正した後に、信号線駆動回路 12 へ出力するように構成されている。尚、共通線駆動回路 13'、共通線電源 205、電流測定回路 16'、フレームメモリ 207 及び劣化補正回路 209 の少なくとも一つは、中央に表示領域 115 が設けられた TFT アレイ基板上に形成されてもよいし (図 1 参照)、或いは、外部 IC として構成され、TFT アレイ基板に対して外付けされてもよい。

図 17 において、共通線駆動回路 13' は、切替スイッチ 301、シフトレジスタ 302 及び伝送スイッチ 303 を備えて構成されている。

切替スイッチ 301 は、通常の表示動作の際に、配線 310 を介して複数の共通線 133 に対し一括して所定電位の電源信号が供給される (即ち、全ての共通線 133 の電位は等しくされる) ように、コントローラによる制御下で、共通線電源 205 に接続された電源配線 310 の側に切り換えられる。他方、切替スイッチ 301 は、後述の如き経時劣化に対する補正 (各共通線 133 に供給する電源信号の電圧の調整) を行う際に、配線 320 を介して複数の共通線 133 に対し測定用電源信号が順次供給されるように、伝送スイッチ 303 を介して電流量測定回路 16' に接続された配線 320 の側に切り換えらるよう構成されている。尚、測定用電源信号は、電流測定回路 16' が内蔵する電源から配線 320 を介して供給してもよいし、共通線電源 205 の電源を利用して配線 320 を介して供給してもよい。

伝送スイッチ 303 は、経時劣化に対する補正を行う際に、シフトレジスタ 302 から順次出力される転送信号に応じて測定用電源信号を切替スイッチ 301 に伝送し、切替スイッチ 301 はこれを共通線 133 を介して各画素回路に供給する。この際、シフトレジスタ 302 は、図示しないコントローラによる制御下

で、転送信号を複数の共通線 133 夫々に対応して順次出力するように構成されている。

次に以上のように構成された本実施例の動作について説明する。

先ず、経時劣化に対する補正を行う際には、シフトレジスタ 302 から順次出力される転送信号に応じて伝送可能とされる各伝送スイッチ 303 を介して、複数の共通線 133 に対して順次測定用電源信号が供給される。そして、この測定用電源信号の電流量が夫々の共通線 133 について測定される。ここで、各画素 10 には、走査線駆動回路 11 から走査信号が順次供給されるので、電源信号が一本の共通線 133 から供給される画素列のうち、走査信号が供給された画素毎にカレント T F T 223 を介して有機 E L 素子 224 に駆動電流として測定用電源信号が流れる。即ち、走査線駆動回路 11 から走査信号を順次供給しつつ、シフトレジスタ 302 による転送信号のタイミングで共通線 133 に測定用電源信号を順次供給することにより、各画素 10 毎の駆動電流 I_d が電流量測定回路 16' で点順次で測定される。そして、その測定電流量 I_{Dmn} は、フレームメモリ 207 に記憶される。

次に、通常の表示動作を行う際には、画像信号源 208 からの画像信号は、劣化補正回路 209 に送られる。劣化補正回路 209 は、フレームメモリ 207 に記憶された各画素 10 の電流量 I_{Dmn} に基づき定まる経時劣化の程度（即ち、基準電流量に対する測定駆動電流量の低下の度合い）に従って、その経時劣化による電流低下分を補正するように、各画素 10 毎に画像信号の階調レベルを補正して信号線駆動回路 12 に出力する。この結果、各画素 10 における有機 E L 素子 224 の発光量の変化は、劣化補正回路 209 による階調レベル変化により補正される。尚、通常の表示動作を行う際には、共通線駆動回路 203 の切替えスイッチ 301 は、共通線電源 205 側に切り替えられ、共通線 103 には所定の電位が供給される。

なお、本実施例では、全ての画素 10 に対して別々に電流量の測定を行い、その測定値 I_{Dmn} をフレームメモリ 207 に記憶するようにしたが、いくつかの抜き取った画素 10 に対して、或いは、まとまった画素ブロックに対して電流量の測定を行い、その測定値を記憶してもよい。また、本実施例では、全ての画素

10に対して各々異なる補正量を施したが、適当な処理の後に、まとまった画素ブロックやパネル全体に対して補正を行うようにしてもよい。

なお、本実施例では、各駆動回路内の各TFT及び画素回路内の各TFTは、例えば、600℃以下の低温プロセスで形成された多結晶シリコンTFTであり、各有機EL素子224は、例えば、インクジェットプロセスで形成される。

(第12実施例)

次に、本発明の第12実施例を図19及び図20を参照して説明する。

図19は、第12実施例に係るTFT-OELDを備える表示装置のブロック図であり、図20は、この表示装置の各画素に備えられる画素回路の断面図である。尚、図19において、表示領域115内には一画素のみについての回路を図記しているが、実際には各画素毎に同様の回路が設けられている。また、図19において、図17に示した第11実施例と同様の構成要素には同様の参照符号を付し、その説明は省略する。

図19において、本実施例の表示装置200bは、走査線駆動回路11、信号線駆動回路12、共通線133に一括して所定電位の電源信号を供給する共通線電源205、電流測定回路16”、フレームメモリ207及び劣化補正回路209を備えて構成されている。表示装置200bは特に、共通線133に一端が接続された発光量測定用の半導体素子の一例としてのPINダイオード110を各画素回路内に備えており、各PINダイオード110の他端には測定用電流をPINダイオード110に流すための検光線104が信号線132及び共通線133と平行に設けられている。そして、表示装置200bは更に、各検光線104を介して各画素におけるPINダイオード110を駆動する検光線駆動回路204を備えており、電流測定回路16”は、検光線駆動回路204により駆動されるPINダイオード110に流れる測定用電流を各画素10毎に測定するように構成されている。尚、検光線駆動回路204、共通線電源205、電流測定回路16”、フレームメモリ207及び劣化補正回路209の少なくとも一つは、中央に表示領域115が設けられたTFTアレイ基板上に形成されてもよいし(図1参照)、或いは、外部ICとして構成され、TFTアレイ基板に対して外付けされてもよい。また、PINダイオード110に代わる発光量測定用の半導体素

子の他の例としては、チャネル部に光が入射することにより光励起電流が流れる電界効果トランジスタが挙げられる。

図20に示すように、本実施例では、各画素10において、PINダイオード110は、スイッチングTFT221及びカレントTFT223の形成に用いる半導体膜と同じ膜を用いてTFTアレイ基板1上に形成されており、不純物ドーブにより形成されたPIN接合を有する。そして、層間絶縁膜251～253を介して有機EL素子224からPIN接合に光が入射すると光励起電流が流れるように、このPIN接合に対し逆バイアス電圧が検光線104を介して検光線駆動回路204から供給されるように構成されている。また、各TFTのゲートや走査線131は、Ta等の金属膜や低抵抗ポリシリコン膜から構成されており、信号線132、共通線133及び検光線104は、Al等の低抵抗金属膜から構成されている。そして、カレントTFT223を介して駆動電流が、ITO等からなる画素電極141からEL素子224を経て、対向電極105（上電極）へと流れるように構成されている。対向電極105をITO等の透明材料から構成すれば、表示装置200aの図20における上側の面を表示面とすることができる。他方、対向電極105をAl等の光反射性或いは遮光性の金属材料等から構成すれば、表示装置200aの図20における下側の面を表示面とすることができる。ここでは、対向電極105をAlを主成分として構成するものとする。

次に以上のように構成された本実施例の動作について説明する。

まず、経時劣化に対する補正処理を行う際には、走査線駆動回路11及び信号線駆動回路12から所定パターンを表示するための走査信号及びデータ信号を供給することにより、有機EL素子224を発光させる。すると、対向電極105はAlを主とする材料であるため、光は反射されて、画素電極141を通して、下方に放射される。このとき、光路の一部に検光線104により逆バイアスを掛けられたPINダイオード110が配置されているため、PINダイオード110では、光励起電流が発生し、検光線104を通じて検光線駆動回路204に達する。検光線駆動回路204は、第11実施例における共通線駆動回路203と同様に複数の伝送スイッチを備えており、PINダイオード110への逆バイアス電源を検光線204からPINダイオード110へ順次供給し、測定用電流を

電流測定回路 16” に順次供給する。そして、第 11 実施例の場合と同様に、電流測定回路 16” では、このような測定用電流を各画素 10 について点順次で測定する。尚、各画素 10 に設けられた有機 EL 素子 224 の発光量は、この測定用電流の測定電流量 I_{Dmn}' の増加に応じて、ほぼ増加するものである。そして、測定電流量 I_{Dmn}' (測定発光量) に対応するフレームメモリ 207 による記憶、劣化補正回路 209 による補正も、第 11 実施例と同様に行われる。

より具体的には、図 21 に示すように、第 11 実施例における劣化補正方法は行われる。

即ち、先ず初期状態では、図 21 (a) に示すように、劣化補正回路 209 が補正を行わないので、画像信号 208 の階調レベル D_1 、 D_2 、…、 D_6 から信号変換曲線 404 にしたがって、信号線駆動回路 12 は、信号レベル V_1 、 V_2 、…、 V_6 のデータ信号を出力する。このデータ信号が、信号線駆動回路 12 から、信号線 132、スイッチング TFT 221 及び保持容量 222 により、カレント TFT 223 のゲート電極に印加される。この結果、カレント TFT 223 のゲート電極に印加される電位と、有機 EL 素子 224 の発光量との関係を示した発光特性曲線 405 に対応して、有機 EL 素子 224 により発光レベル L_1 、 L_2 、…、 V_6 の発光が得られる。なお、ここでは、信号レベル V_b があるしきい値電圧を越えてから、有機 EL 素子 224 が発光し始めることも考慮している。

次に、有機 EL 素子 224 やカレント TFT 223 が劣化し、発光量が変化した状態では、図 21 (b) に示すように、発光特性曲線 405 は変化する。前述した補正処理における検光線駆動回路 204、電流測定回路 16” 等を用いた発光量の測定により、この発光特性曲線 405 が得られる。劣化補正回路 209 には、この発光特性曲線 405 に基づいて、適切な信号変換曲線 404 が設定される。その後、通常の表示期間においては、この信号変換曲線 404 を用いて、劣化補正回路 209 により、階調レベル D_1 、 D_2 、…、 D_6 に対して信号レベル V_1 、 V_2 、…、 V_6 の画像信号が信号線駆動回路 12 から出力されるように各階調レベルに対する調整が施される。このため、各画素 10 においては、劣化後の発光特性曲線 405 に従って、劣化前と同じ発光量が劣化後も得られることになる。なお、本実施例では、有機 EL 素子 224 の発光に対するしきい値電圧の

劣化も考慮されている。

以上のように第12実施例によれば、各画素10における有機EL素子224の発光量をPINダイオード110を用いて測定するので、駆動電流量を測定する第11実施例の場合よりも、劣化による発光量低下をより正確に補正することが可能となる。

なお、本実施例では、全ての画素10に対して発光量の測定を行い、その測定値をフレームメモリ207に記憶したが、いくつかの抜き取った画素10に対して、あるいは、まとまった画素ブロックに対して発光量の測定を行い、その測定値を記憶してもよい。また、ここでは、全ての画素10に対して各々異なる補正量を施したが、適当な処理の後に、まとまった画素ブロックやパネル全体に対して補正してもよい。

また、本実施例では、光励起電流を発生させるモニタ用受光素子として、PINダイオード110を用いたが、電界効果型トランジスタ等の半導体素子を用いてもよい。このとき、電界効果型トランジスタのゲート電極に印加される電位としては、有効に光励起電流を発生させる電位が選択される。更に、有機EL素子224からの発光がチャネルに到達するために、トップゲート型、正スタガ型、逆スタガ型、チャネルエッチ型またはチャネルストッパ型などから、適した構成が用いられ、ゲート電極もITOで形成される可能性がある。更にまた、本実施例では好ましくは、各駆動回路や各画素回路内に形成されるTFTと、光励起電流を発生させる半導体素子としてのPINダイオードとが、同一の工程で形成される。このようにすれば、PINダイオードを形成するための工程を別途設けなくて済むので有利である。

(第13実施例)

図22に、本発明の第13実施例のTFT-OELDを備えた表示装置における劣化補正方法を示す。第13実施例の表示装置のハードウェア構成は、第11実施例或いは第12実施例の場合と同様であるのでその説明は省略する。

第13実施例では、図21を用いて説明された、劣化補正回路209における発光量測定により得られた発光特性曲線405に基づく信号変換曲線404の設定方法が第12実施例の場合と異なる。

第13実施例では、データ信号の電圧値の調整が、或る既定の信号レベルから他の既定の信号レベルへと変換することにより行われる。即ち、有機EL素子224が劣化し発光量が低下した場合に対応する図21(b)において、補正された後のデータ信号の信号レベルV1、V2、…、V6を、信号線駆動回路12の電源等の制約により予め定められている離散化された電位の中から選ぶことにより、発光特性曲線405に対する信号変換曲線404を設定する。これにより、発光量の線形性は損なわれるが、階調反転は起こっていないので、肉眼では良好な階調性が得られる。

以上のように第13実施例によれば、信号線駆動回路12において、限られた種類の電位の電源を用いて、経時劣化による発光量低下に対する補正を行うことが可能となる。

尚、以上の第1実施例から第13実施例では、スイッチングTFTを備えて画素回路を構成したが、例えば、駆動用TFTのゲートに走査信号を走査線から直接供給すると共にデータ信号を駆動用TFTのソースに信号線から直接供給することにより、データ信号を駆動用TFTのソース及びドレインを介して有機EL素子に供給して、有機EL素子を駆動するように構成してもよい。即ち、この場合にも、各画素に設けられた有機EL素子や駆動用TFTにおける経時劣化による駆動電流や発光量の低下を本発明により補正することが可能となる。また、各画素回路に設けられたスイッチングTFTは、そのゲートに印がする走査信号の電圧極性を合わせさえすれば、nチャネル型TFTから構成してもよいし、pチャネル型TFTから構成してもよい。

(電子機器)

次に、以上各実施例において詳細に説明した表示装置を備えた電子機器の実施例について図23から図26を参照して説明する。

先ず図23に、このように表示装置を備えた電子機器の概略構成を示す。

図23において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、表示パネル1006、クロック発生回路1008並びに電源回路1010を備えて構成されている。

前述した各実施例における表示装置は、本実施例における表示パネル1006

及び駆動回路1004に相当する。従って、表示パネル1006を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、更に表示情報処理回路1002等を搭載してもよい。或いは、表示パネル1006を搭載するTFTアレイ基板に対し駆動回路1004を外付けして構成してもよい。

表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、表示パネル200を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。

次に図24から図25に、このように構成された電子機器の具体例を夫々示す。

図24において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した表示パネル200がトップカバーケース1206内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

また図25に示すように、駆動回路1004や表示情報処理回路1002を搭載しない表示パネル1304の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP (Tape Carrier Package) 1320に、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、表示パネルとして、生産、販売、使用等することも可能である。

以上図24から図25を参照して説明した電子機器の他にも、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置

等などが図 23 に示した電子機器の例として挙げられる。

以上説明したように、本実施例によれば、有機 EL 素子等の電流駆動型発光素子やカレント T F T 等の駆動素子における経時劣化による悪影響が表示上に及ぶことなく、高品質の画像表示を長期に亘って行える各種の電子機器を実現できる。

産業上の利用可能性

本発明に係る表示装置は、有機 EL 素子、無機 EL 素子、ライトエミッティングポリマー、LED 等の各種の電流駆動型発光素子とこれを駆動する T F T 等の駆動素子とを備えた表示装置として利用可能であり、更に、本発明に係る画素回路は、各種のアクティブマトリクス駆動方式の表示装置に利用可能である。また、本発明に係る電子機器は、このような画素回路や表示装置を用いて構成され、高品質の画像表示を長期に亘って行える電子機器等として利用可能である。

請 求 の 範 囲

1. 画素毎に設けられた電流駆動型の発光素子と、

該画素毎に設けられており前記発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、

前記発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、

前記駆動素子に前記データ信号を信号配線を介して供給する信号配線駆動部と、

前記信号配線を介して所定電圧のデータ信号を前記駆動素子に供給したときに前記発光素子に流れる駆動電流の電流量及び前記発光素子から発せられる光の発光量のうち少なくとも一方が所定基準値に近付くように、前記電源部における電源及び前記信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧を調整する電圧調整部と

を備えたことを特徴とする表示装置。

2. 前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなることを特徴とする請求項1に記載の表示装置。

3. 前記電圧調整部は、前記所定電圧のデータ信号を前記駆動素子に供給したときの前記駆動電流の電流量を測定する電流量測定部と、該測定された電流量が予め設定された基準電流量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備えたことを特徴とする請求項1に記載の表示装置。

4. 前記電圧調整部は、前記所定電圧のデータ信号を前記駆動素子に供給したときの前記発光量を測定する発光量測定部と、該測定された発光量が予め設定された基準発光量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備えたことを特徴とする請求項1に記載の表示装置。

5. 表示期間に先立つ非表示期間に、前記少なくとも一方の電圧を調整するように前記電圧調整部を制御するコントローラを更に備えたことを特徴とする請求項1に記載の表示装置。

6. 表示領域において画素毎に設けられた電流駆動型の表示用発光素子と、

該画素毎に設けられており前記表示用発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、

前記表示用発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、

前記駆動素子に前記データ信号を信号配線を介して供給する信号配線駆動部と、
モニタ用領域に設けられており前記表示用発光素子と同様に電流駆動される電流駆動型のモニタ用発光素子と、

該モニタ用発光素子における電流量及び発光量のうち少なくとも一方が所定基準値に近付くように、前記電源部における電源及び前記信号配線駆動部におけるデータ信号のうち少なくとも一方の電圧を調整する電圧調整部と

を備えたことを特徴とする表示装置。

7. 前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなることを特徴とする請求項6に記載の表示装置。

8. 前記電圧調整部は、前記モニタ用発光素子における電流量を測定する電流量測定部と、該測定された電流量が予め設定された基準電流量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備えたことを特徴とする請求項6に記載の表示装置。

9. 前記電圧調整部は、前記モニタ用発光素子における発光量を測定する発光量測定部と、該測定された発光量が予め設定された基準発光量に近付くように前記少なくとも一方の電圧を調整する電圧制御部とを備えたことを特徴とする請求項6に記載の表示装置。

10. 表示期間に先立つ非表示期間に前記少なくとも一方の電圧を調整するように前記電圧調整部を制御するコントローラを更に備えたことを特徴とする請求項6に記載の表示装置。

11. 前記表示用発光素子と前記モニタ用発光素子とが、同一の基板上に形成されていることを特徴とする請求項6に記載の表示装置。

12. 前記表示用発光素子と前記モニタ用発光素子とが、同一の製造工程により形成されていることを特徴とする請求項6に記載の表示装置。

13. 前記電源部は、表示期間に前記表示用発光素子及び前記モニタ用発光素子の両方に前記駆動電流を流すための電源を供給することを特徴とする請求項6に記載の表示装置。

14. 少なくともデータ信号が供給される信号配線並びに駆動電流を流すための電源が供給される第1及び第2給電線が設けられた表示装置の表示領域を構成するマトリクス状の複数の画素の各々に設けられる画素回路であって、

前記第1及び第2給電線間に接続された電流駆動型の発光素子と、

前記第1及び第2給電線間に前記発光素子と直列に接続されたソース及びドレインを介して前記発光素子を流れる前記駆動電流を、ゲートに供給される前記データ信号の電圧に応じて制御する第1薄膜トランジスタ素子と、

前記駆動電流の電流量の減少及び前記発光素子の発光量の減少のうち少なくとも一方に応じて前記駆動電流を増加させる駆動電流補償素子と

を備えたことを特徴とする画素回路。

15. 前記信号配線は、前記データ信号が供給される信号線及び走査信号が供給される走査線を含み、

前記走査信号がゲートに供給されると共にソース及びドレインを介して前記データ信号が前記第1薄膜トランジスタのゲートに供給されるように接続された第2薄膜トランジスタを更に備えたことを特徴とする請求項14に記載の画素回路。

16. 前記駆動電流補償素子は、前記発光素子の両端の電圧と前記駆動電流の電流量との関係に依存して、前記第1給電線と前記第2給電線との間の抵抗を調整することを特徴とする請求項14に記載の画素回路。

17. 前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第1給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第2給電線との間に前記発光素子と直列に接続されたnチャネル型の第1の補正用薄膜トランジスタを含むことを特徴とする請求項16に記載の画素回路。

18. 前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第 2 給電線との間に前記発光素子と直列に接続された p チャンネル型の第 1 の補正用薄膜トランジスタを含むことを特徴とする請求項 16 に記載の画素回路。

19. 前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第 2 給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第 1 給電線との間に前記発光素子と直列に接続された p チャンネル型の第 2 の補正用薄膜トランジスタを含むことを特徴とする請求項 16 に記載の画素回路。

20. 前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第 2 給電線側の電極に接続され、ソース及びドレインが前記発光素子と前記第 1 給電線との間に前記発光素子と直列に接続された n チャンネル型の第 2 の補正用薄膜トランジスタを含むことを特徴とする請求項 16 に記載の画素回路。

21. 前記第 1 薄膜トランジスタのゲートに接続されており、前記第 1 薄膜トランジスタのゲート電圧を保持する保持容量を更に備えたことを特徴とする請求項 14 に記載の画素回路。

22. 前記駆動電流補償素子は、前記発光素子の両端の電圧と前記駆動電流の電流量との関係に依存して、前記第 1 及び第 2 給電線の一方と前記保持容量との間の抵抗を調整することを特徴とする請求項 21 に記載の画素回路。

23. 前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 1 給電線との間に接続された、前記第 1 薄膜トランジスタと同じ n 又は p チャンネル型の第 3 の補正用薄膜トランジスタを含むことを特徴とする請求項 22 に記載の画素回路。

24. 前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されてお

り、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 1 給電線との間に接続された、前記第 1 薄膜トランジスタと同じ n 又は p チャネル型の第 3 の補正用薄膜トランジスタを含むことを特徴とする請求項 22 に記載の画素回路。

25. 前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 2 給電線との間に接続された、前記第 1 薄膜トランジスタと反対の n 又は p チャネル型の第 4 の補正用薄膜トランジスタを含むことを特徴とする請求項 22 に記載の画素回路。

26. 前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、

前記駆動電流補償素子は、ゲートが前記発光素子の前記第 1 給電線側の電極に接続され、ソース及びドレインが前記保持容量と前記第 2 給電線との間に接続された、前記第 1 薄膜トランジスタと反対の n 又は p チャネル型の第 4 の補正用薄膜トランジスタを含むことを特徴とする請求項 22 に記載の画素回路。

27. 前記駆動電流補償素子は、前記発光素子の両端の電圧と前記発光量との関係に依存して、前記第 1 給電線と前記第 2 給電線との間の抵抗を調整することを特徴とする請求項 14 に記載の画素回路。

28. 前記駆動電流補償素子は、前記発光素子の両端の電圧と前記発光量との関係に依存して、前記第 1 及び第 2 給電線の一方と前記保持容量との間の抵抗を調整することを特徴とする請求項 21 に記載の画素回路。

29. 前記第 1 給電線の電位は、前記第 2 給電線よりも高電位に設定されており、

前記第 1 薄膜トランジスタは、p チャネル型であり、

前記駆動電流補償素子は、前記保持容量と前記第 1 給電線との間に接続された第 1 の補正用薄膜フォトダイオードを含むことを特徴とする請求項 28 に記載の画素回路。

30. 前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、

前記第1薄膜トランジスタは、pチャネル型であり、

前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された第5の補正用薄膜トランジスタを含むことを特徴とする請求項28に記載の画素回路。

31. 前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、

前記第1薄膜トランジスタは、nチャネル型であり、

前記駆動電流補償素子は、前記保持容量と前記第1給電線との間に接続された第1の補正用薄膜フォトダイオードを含むことを特徴とする請求項28に記載の画素回路。

32. 前記第1給電線の電位は、前記第2給電線よりも低電位に設定されており、

前記第1薄膜トランジスタは、nチャネル型であり、

前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第1給電線との間に接続された第5の補正用薄膜トランジスタを含むことを特徴とする請求項28に記載の画素回路。

33. 前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、

前記第1薄膜トランジスタが、nチャネル型であり、

前記駆動電流補償素子は、前記保持容量と前記第2給電線との間に接続された第2の補正用薄膜フォトダイオードを含むことを特徴とする請求項28に記載の画素回路。

34. 前記第1給電線の電位は、前記第2給電線よりも高電位に設定されており、

前記第1薄膜トランジスタが、nチャネル型であり、

前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第2給電線との間に接続された第6の補正用薄膜トランジスタを含むことを特徴とする請

求項 28 に記載の画素回路。

35. 前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、

前記第 1 薄膜トランジスタが、p チャンネル型であり、

前記駆動電流補償素子は、前記保持容量と前記第 2 給電線との間に接続された第 2 の補正用薄膜フォトダイオードを含むことを特徴とする請求項 28 に記載の画素回路。

36. 前記第 1 給電線の電位は、前記第 2 給電線よりも低電位に設定されており、

前記第 1 薄膜トランジスタが、p チャンネル型であり、

前記駆動電流補償素子は、ソース及びドレインが前記保持容量と前記第 2 給電線との間に接続された第 6 の補正用薄膜トランジスタを含むことを特徴とする請求項 28 に記載の画素回路。

37. 前記駆動電流補償素子は、前記第 1 薄膜トランジスタと同一の製造工程により形成される薄膜トランジスタを含むことを特徴とする請求項 14 に記載の画素回路。

38. 画素毎に設けられた電流駆動型の発光素子と、

該画素毎に設けられており前記発光素子に流れる駆動電流をデータ信号の電圧に応じて制御する駆動素子と、

前記発光素子に前記駆動電流を前記駆動素子を介して流すための電源を電源配線を介して供給する電源部と、

画像信号源から入力される画像信号に対応する電圧を持つデータ信号を信号線を介して前記駆動素子に供給する信号線駆動回路と、

前記信号線を介して所定電圧のデータ信号を前記駆動素子に供給したときに前記発光素子を流れる駆動電流の電流量及び前記発光素子から発せられる光の発光量のうち少なくとも一方を測定する測定部と、

前記画像信号源と前記信号線駆動回路との間に介在しており前記測定された電流量及び発光量の少なくとも一方が所定基準値に近付くように前記画像信号を補正した後に前記信号線駆動回路に入力する補正回路と

を備えたことを特徴とする表示装置。

３９． 前記駆動素子は、ゲートに前記データ信号が供給されると共にゲート電圧によりコンダクタンスが制御されるソース及びドレイン間を介して前記駆動電流が流れる薄膜トランジスタからなることを特徴とする請求項３８に記載の表示装置。

４０． 前記測定された電流量及び発光量の少なくとも一方を記憶するメモリ装置を更に備えており、

前記補正回路は、該記憶された電流量及び発光量の少なくとも一方に基づいて前記画像信号を補正することを特徴とする請求項３８に記載の表示装置。

４１． 前記電源配線は、画素列に対応して設けられており、

前記測定部は、前記駆動電流の電流量を測定し、

前記電源配線を表示期間に前記電源部の側に接続すると共に非表示期間に前記測定部の側に接続する切換スイッチと、順次パルスの前記電源配線の各々に対応して順次出力するシフトレジスタと、前記非表示期間に前記順次パルスに応じて前記電源配線の各々と前記測定部との間の導通を順次制御する伝送スイッチとを含む共通線駆動回路を更に備えたことを特徴とする請求項３８に記載の表示装置。

４２． 前記測定部は、前記発光量を測定し、

画素列に対応して設けられており前記発光量を示す電気信号を前記測定部に伝送する検光線と、

順次パルスを前記検光線の各々に対応して順次出力するシフトレジスタと、非表示期間に前記順次パルスに応じて前記検光線の各々と前記測定部との間の導通を順次制御する伝送スイッチとを含む検光線駆動回路と

を更に備えたことを特徴とする請求項３８に記載の表示装置。

４３． 前記測定部は、半導体素子の光励起電流によって前記発光量を測定することを特徴とする請求項３８に記載の表示装置。

４４． 前記半導体素子がＰＩＮダイオードであることを特徴とする請求項４３に記載の表示装置。

４５． 前記半導体素子が電界効果型トランジスタであることを特徴とする請求項４３に記載の表示装置。

46. 前記駆動素子は薄膜トランジスタからなり、該薄膜トランジスタと前記半導体素子とが、同一の工程で形成されることを特徴とする請求項43に記載の表示装置。

47. 前記駆動素子は、600℃以下の低温プロセスで形成された、多結晶シリコン薄膜トランジスタからなることを特徴とする請求項38に記載の表示装置。

48. 前記発光素子は、インクジェットプロセスで形成された、有機エレクトロルミネッセンス素子からなることを特徴とする請求項38に記載の表示装置。

49. 前記測定部は、前記駆動電流及び前記発光量の少なくとも一方の測定を画素毎に行い、

前記補正回路は、該画素毎に前記画像信号を補正することを特徴とする請求項38に記載の表示装置。

50. 前記測定部は、前記駆動電流及び前記発光量の少なくとも一方の測定を複数の画素からなる所定単位毎に行い、

前記補正回路は、該所定単位毎に前記画像信号を補正することを特徴とする請求項38に記載の表示装置。

51. 前記補正回路は、前記画像信号の信号レベルを既定の信号レベルから他の既定の信号レベルへと変換することにより前記画像信号を補正することを特徴とする請求項38に記載の表示装置。

52. 請求項14に記載の画素回路を画素毎に備えたことを特徴とする表示装置。

53. 請求項1に記載の表示装置を備えたことを特徴とする電子機器。

54. 請求項6に記載の表示装置を備えたことを特徴とする電子機器。

55. 請求項38に記載の表示装置を備えたことを特徴とする電子機器。

図 1

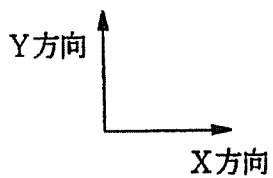
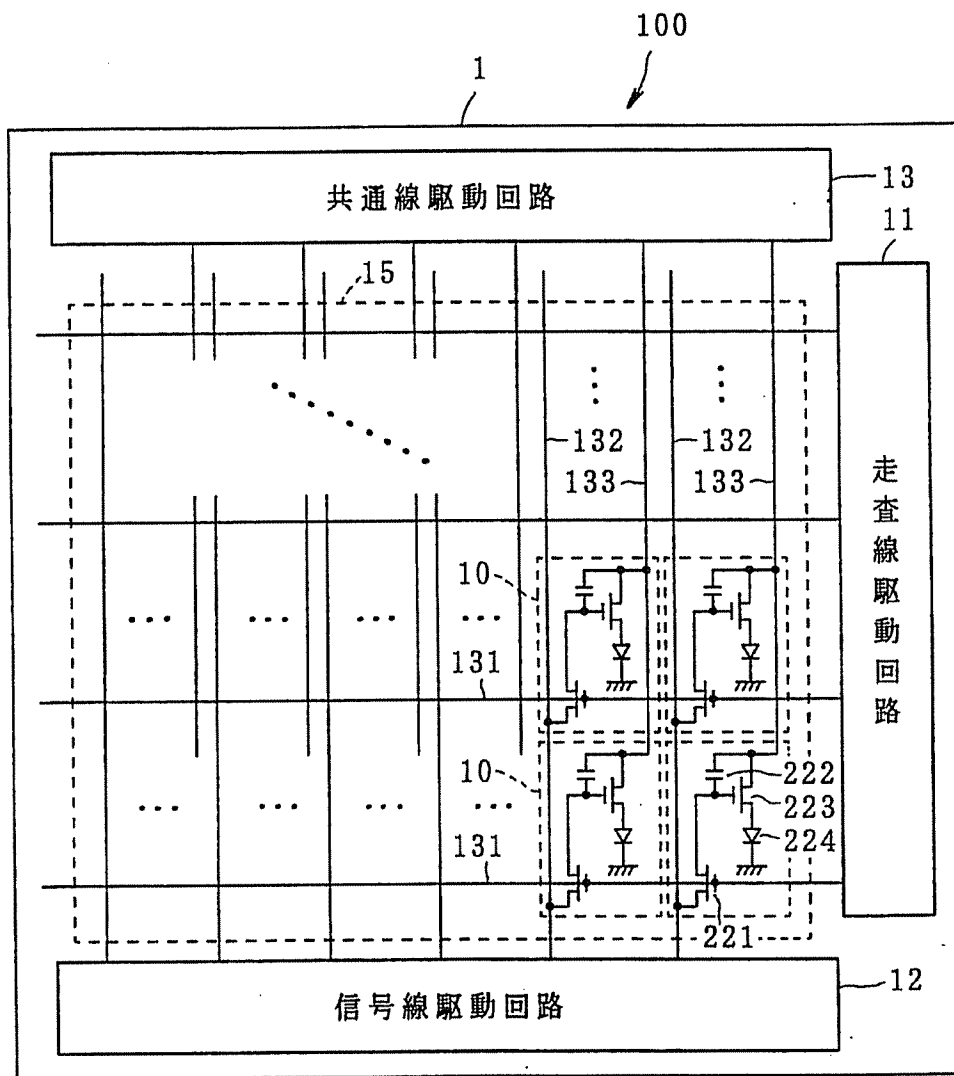


図 2

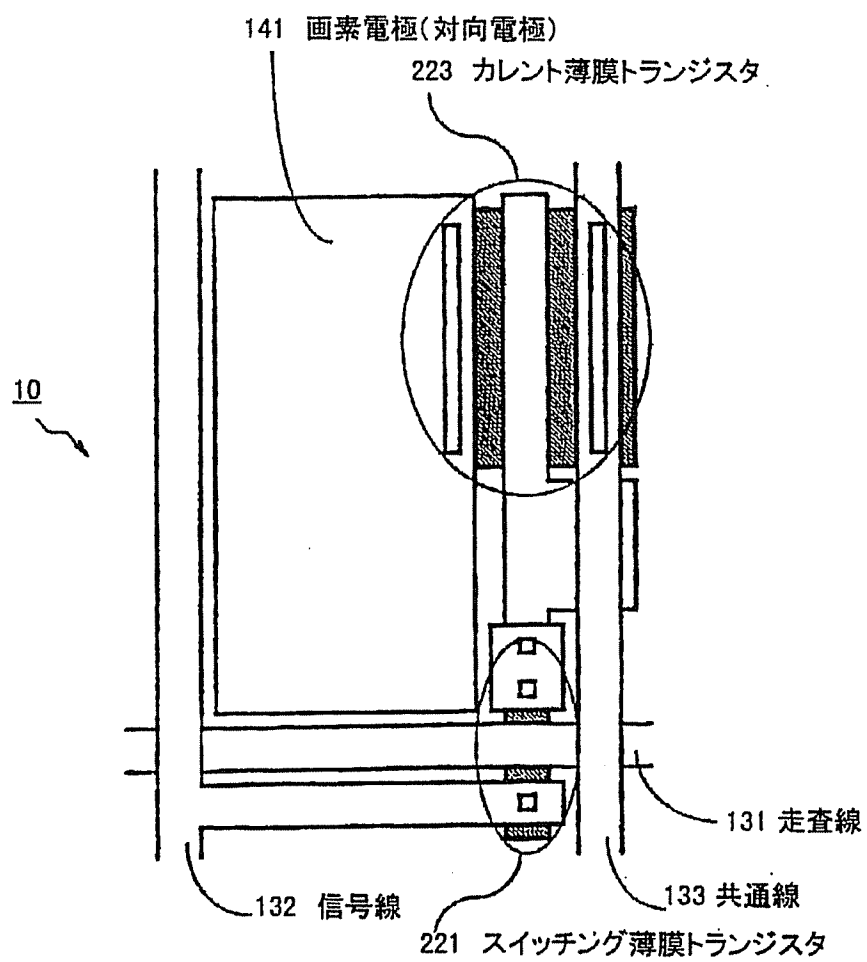


図 3

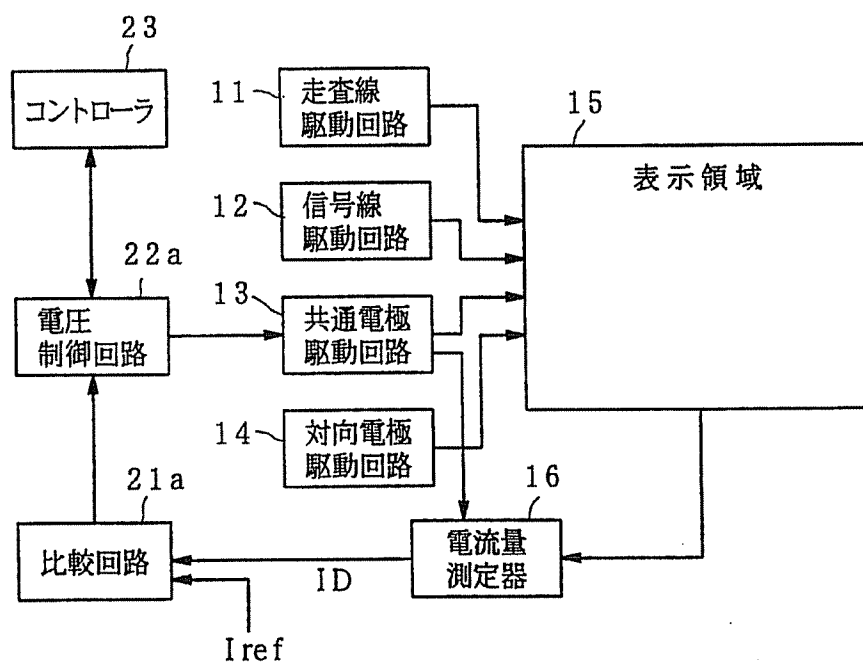


図 4

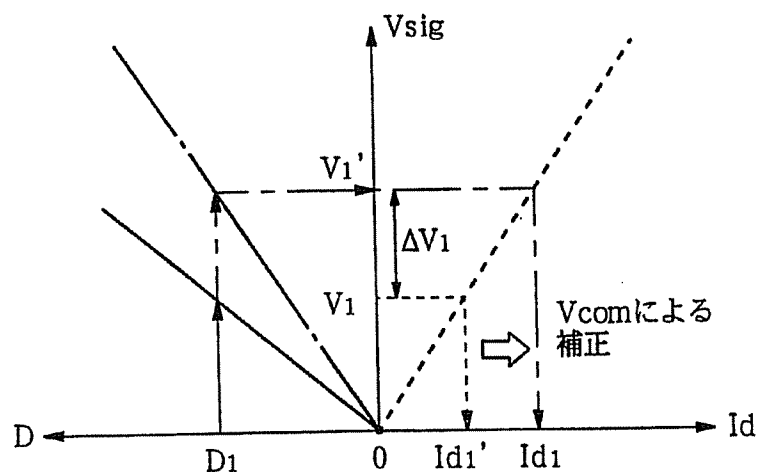
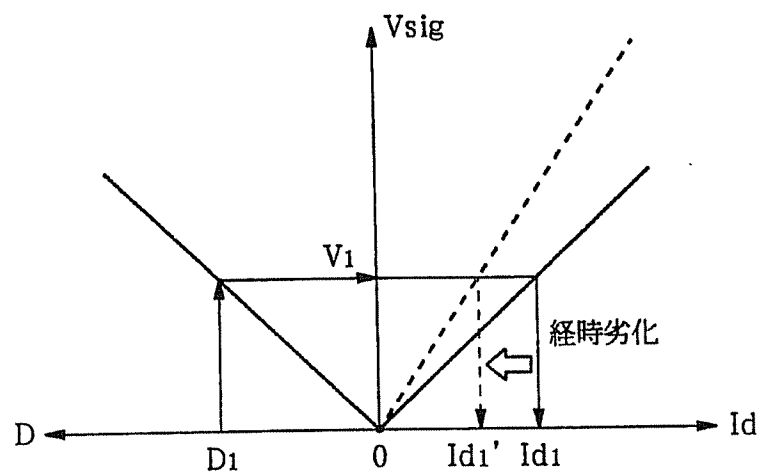


図 5

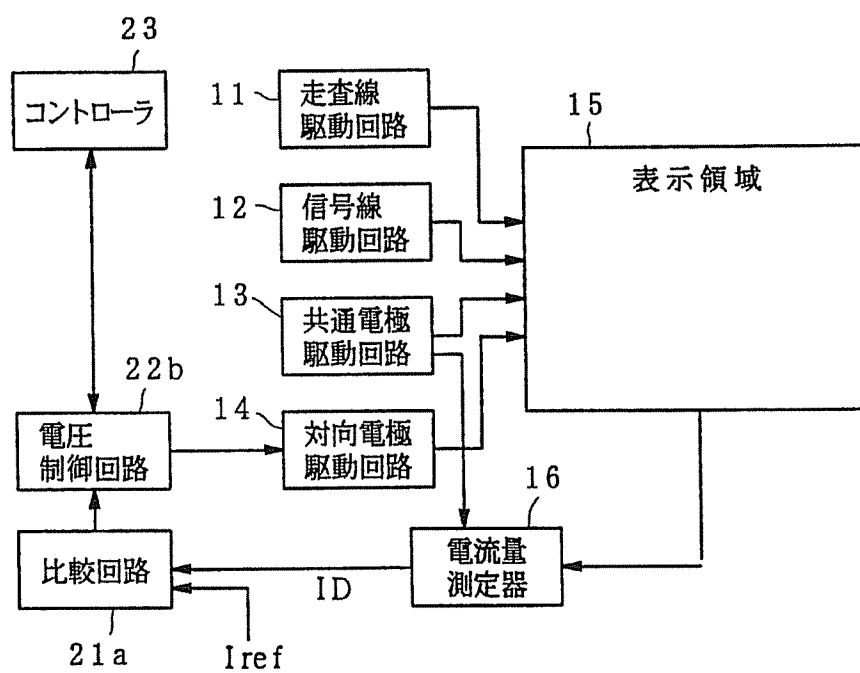


図 6

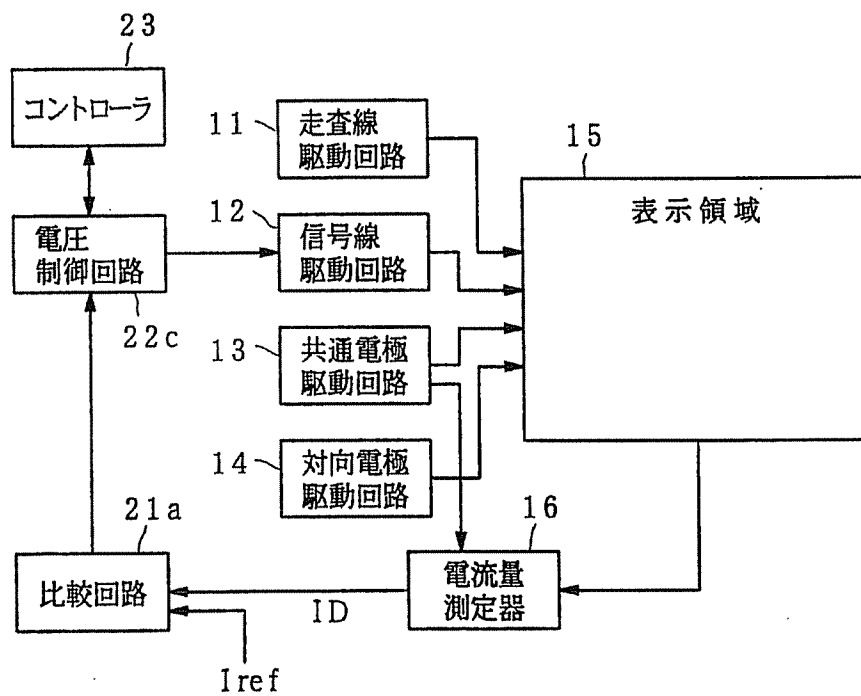


図 7

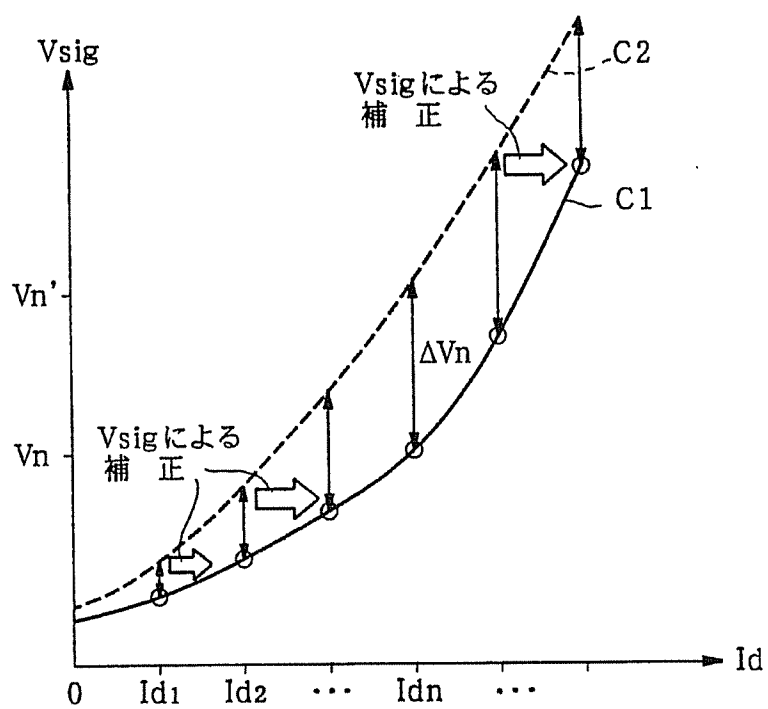


図 8

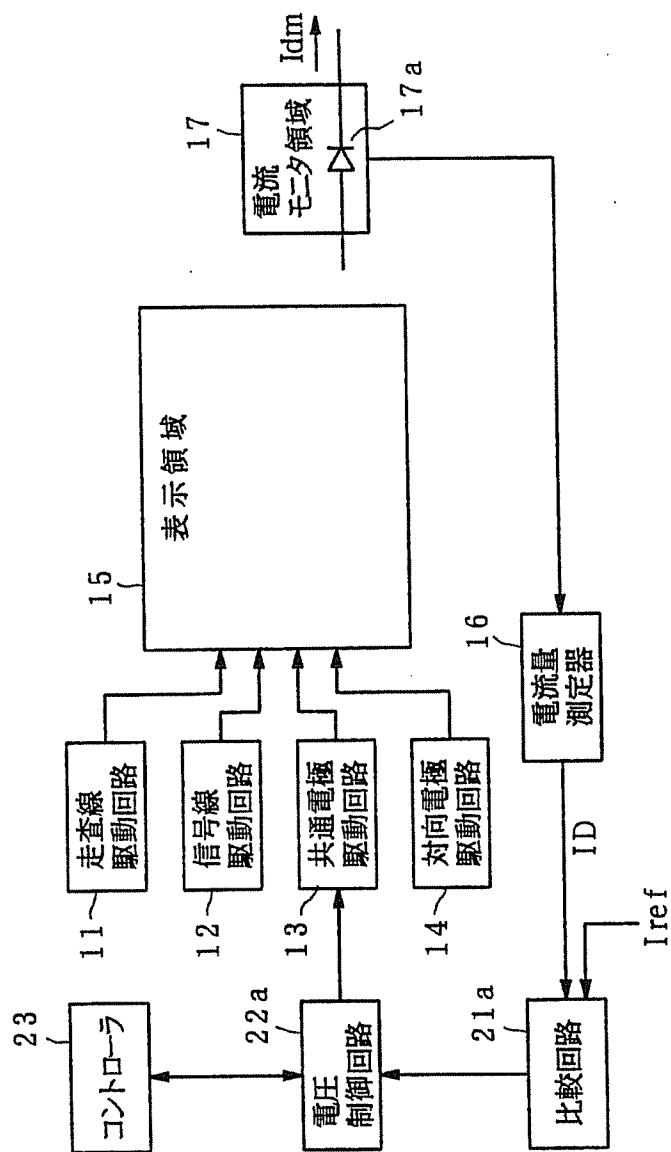


図 9

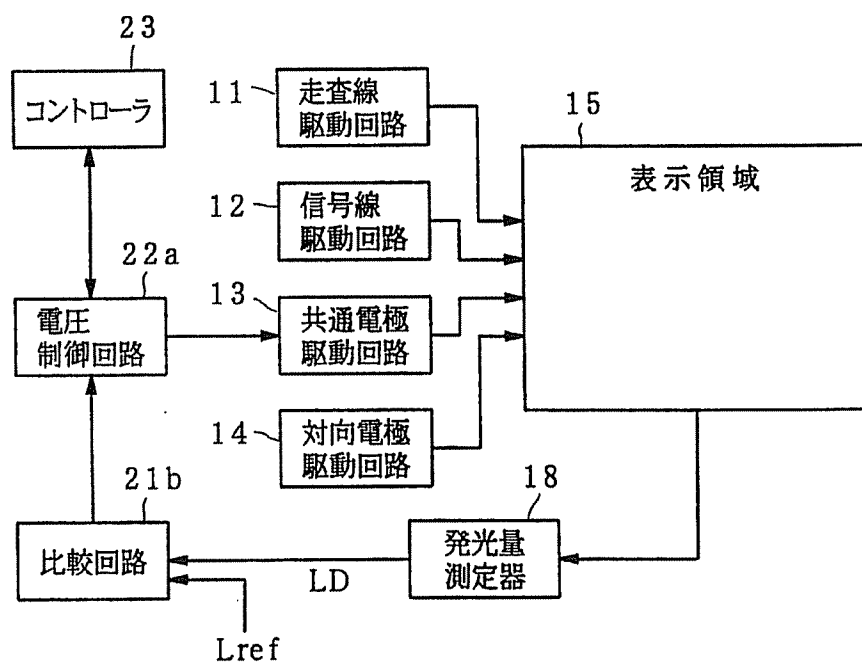


図10

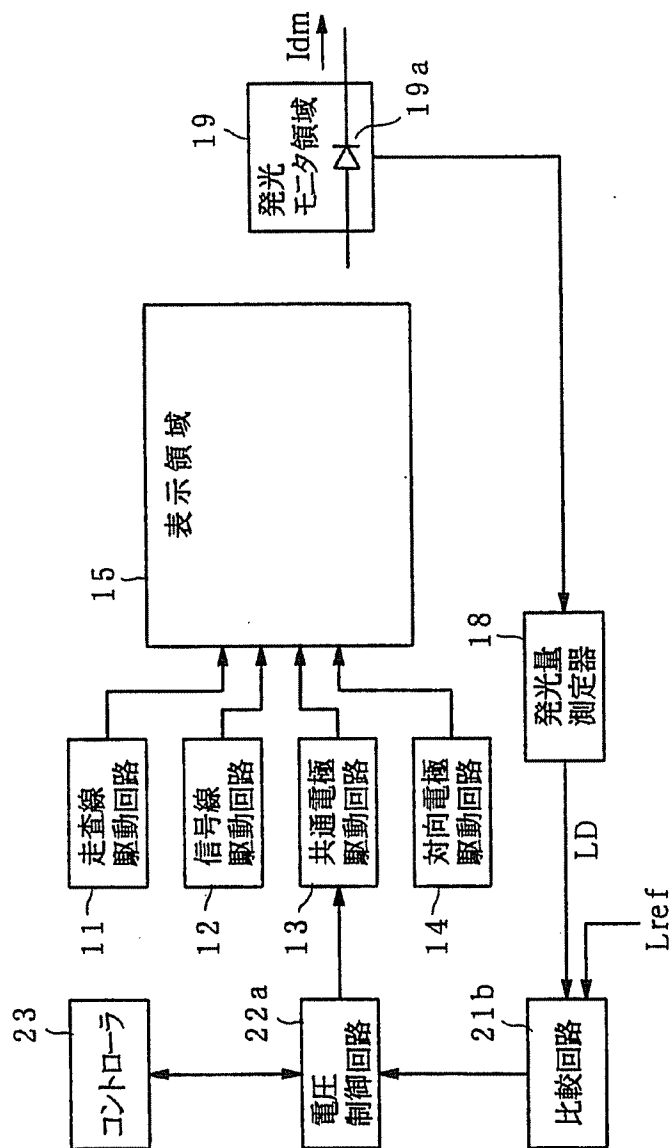


図 1 1

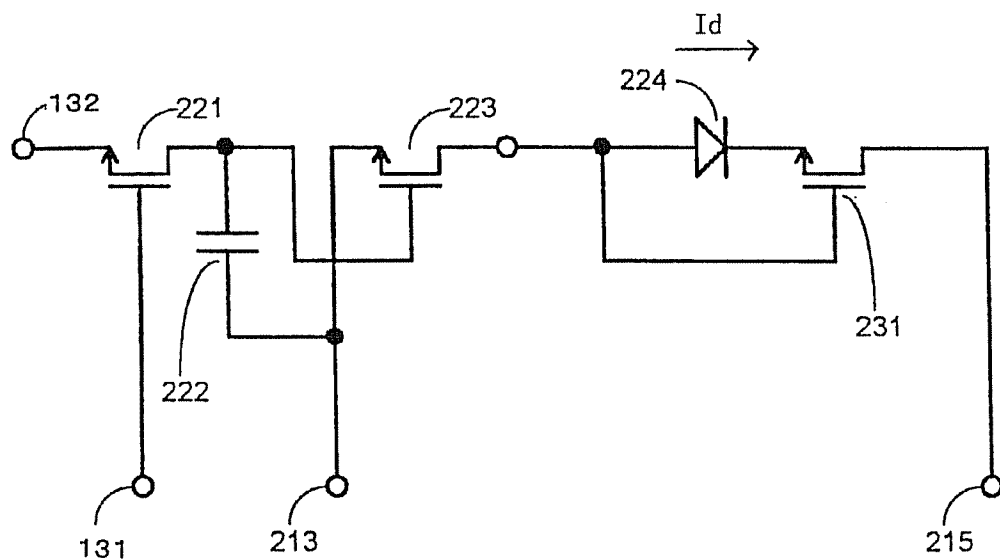


図 1 2

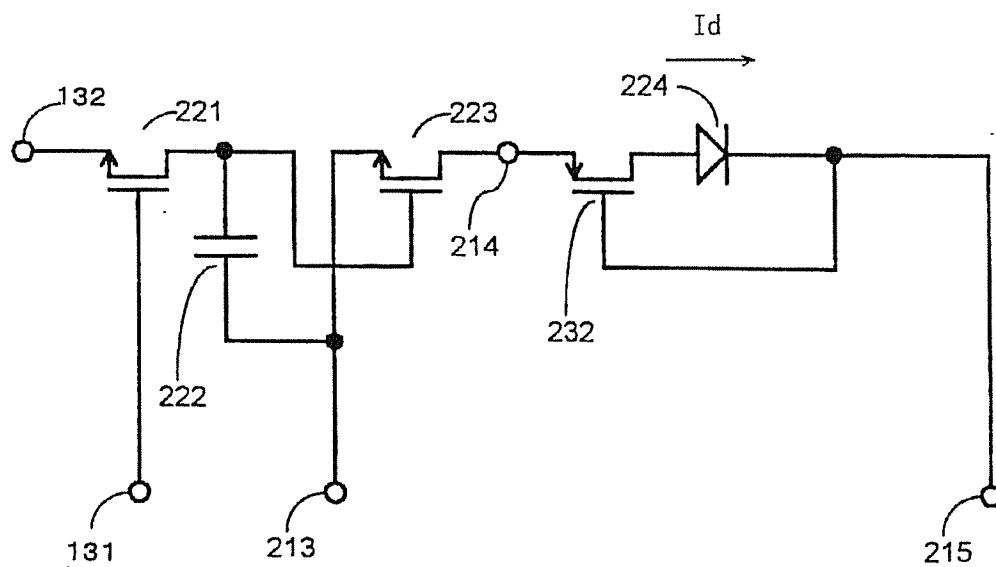


図 1 3

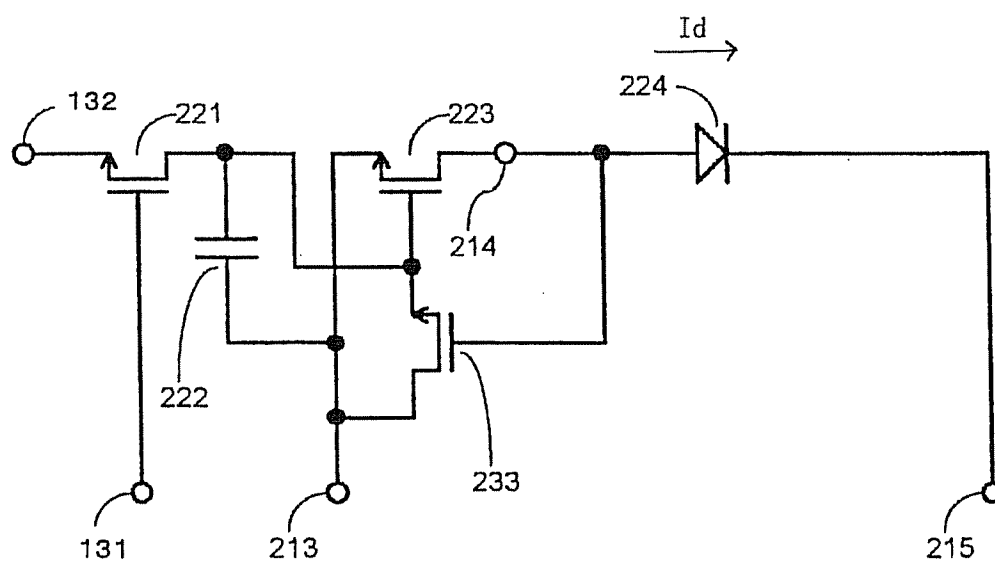


図 1 4

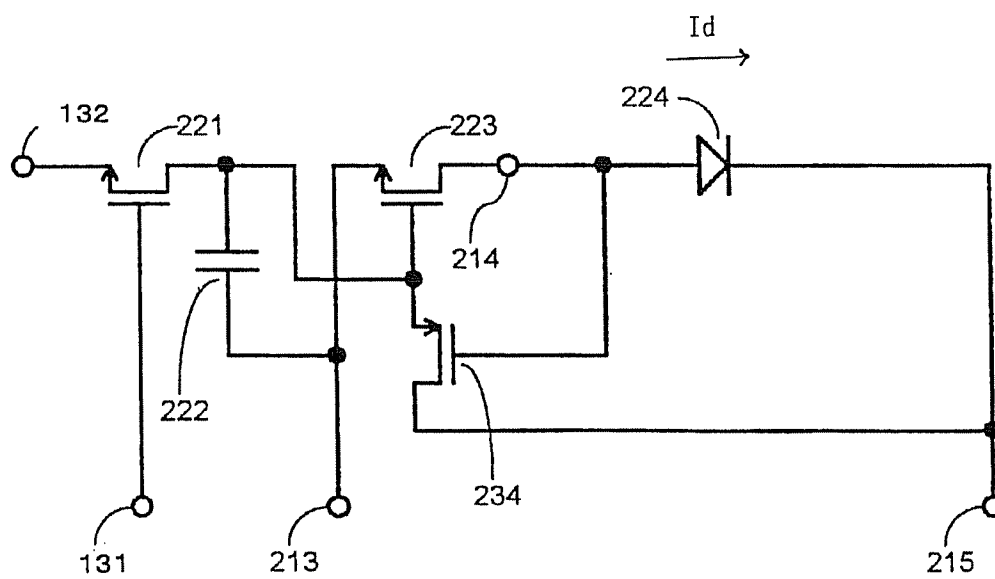


図 1 5

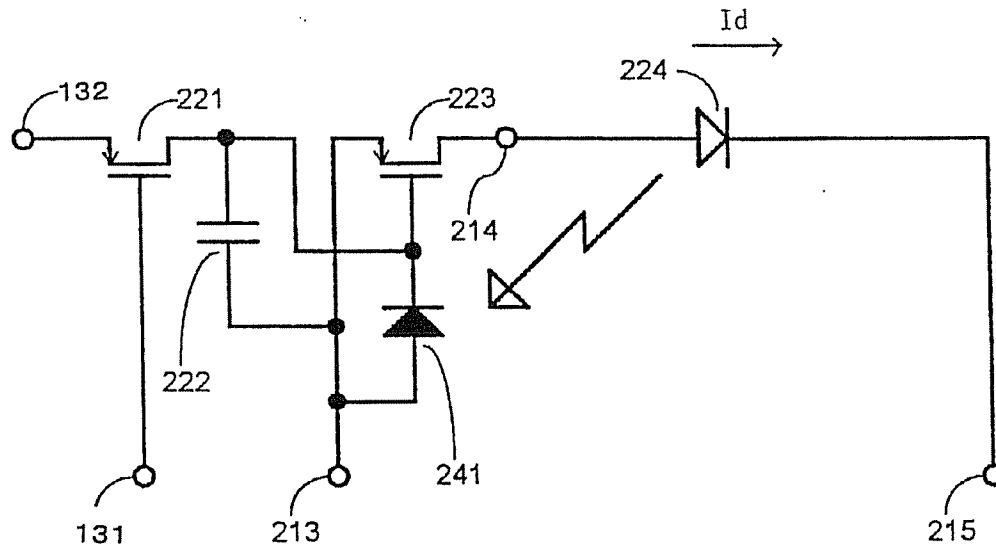


図 1 6

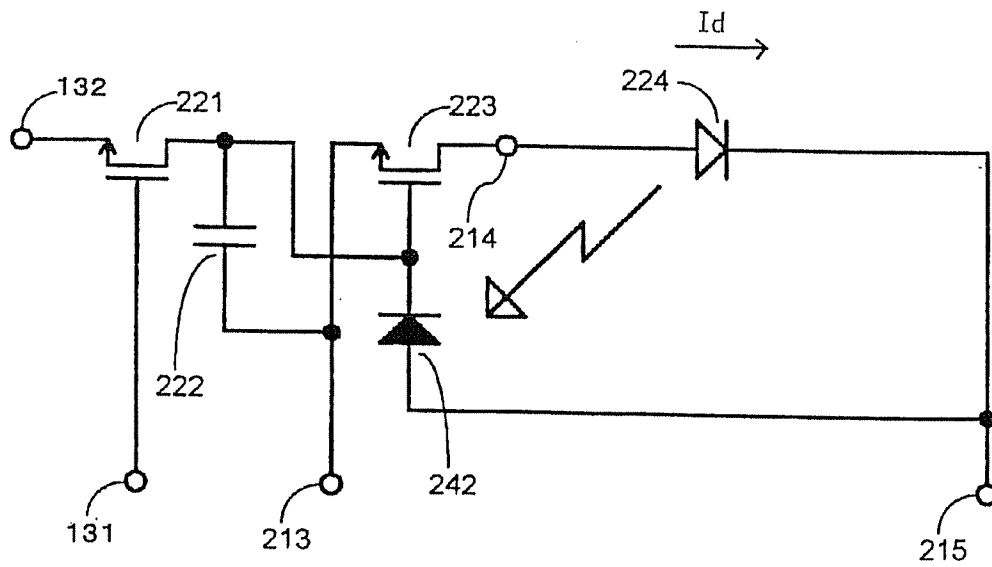


図 17

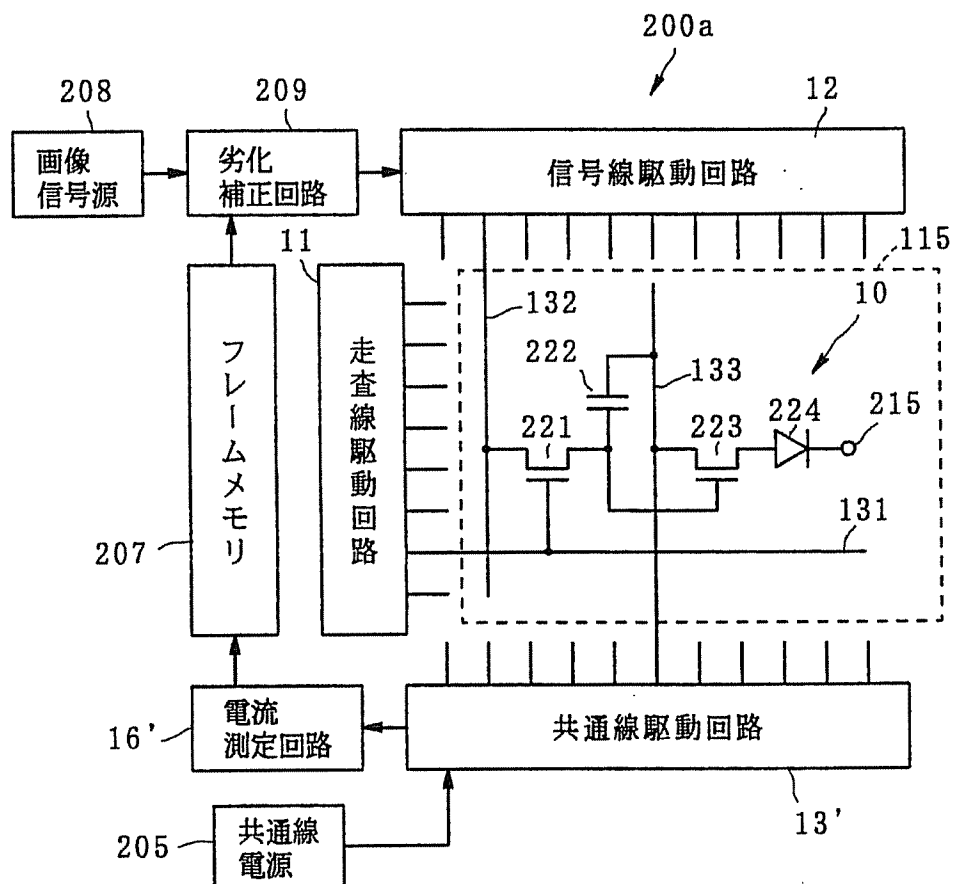


図 18

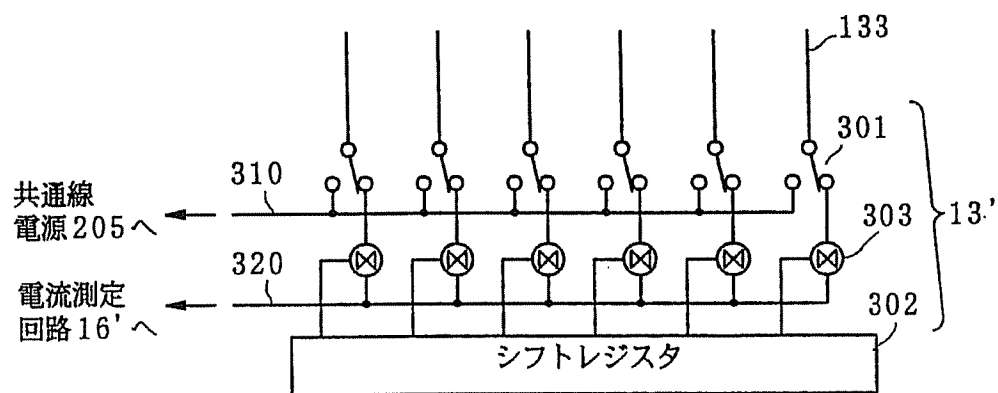


図 19

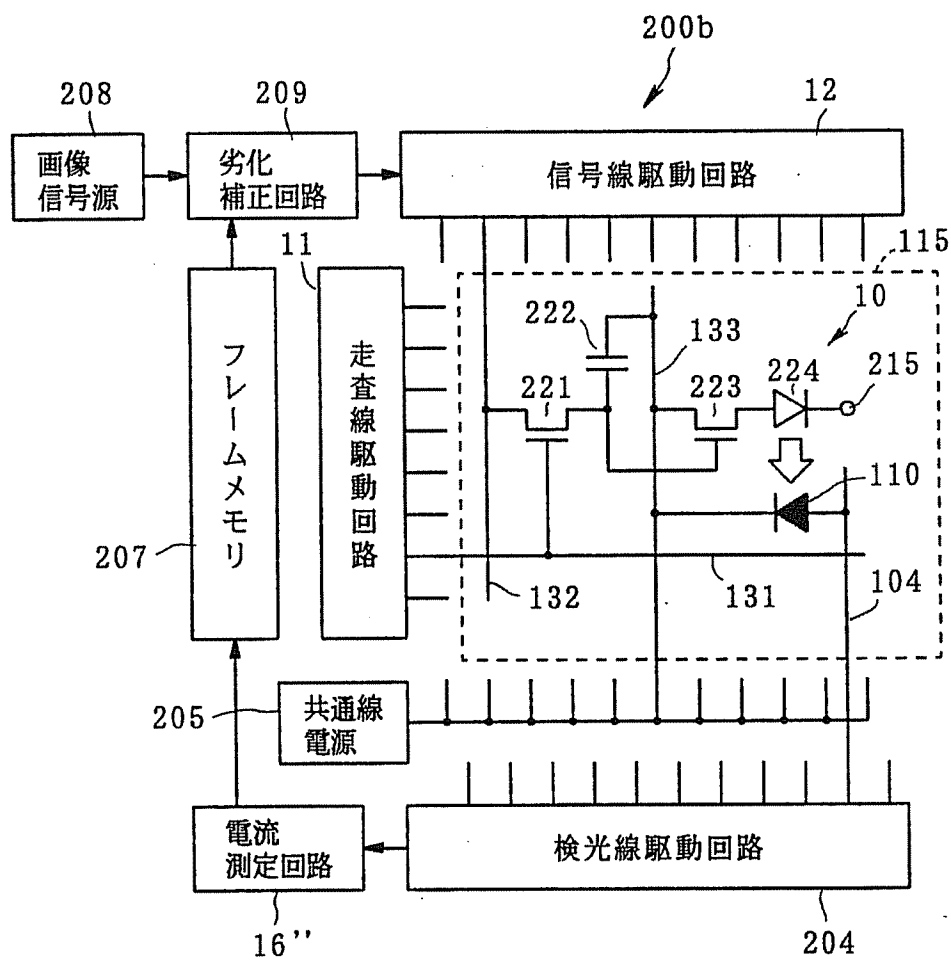


図 20

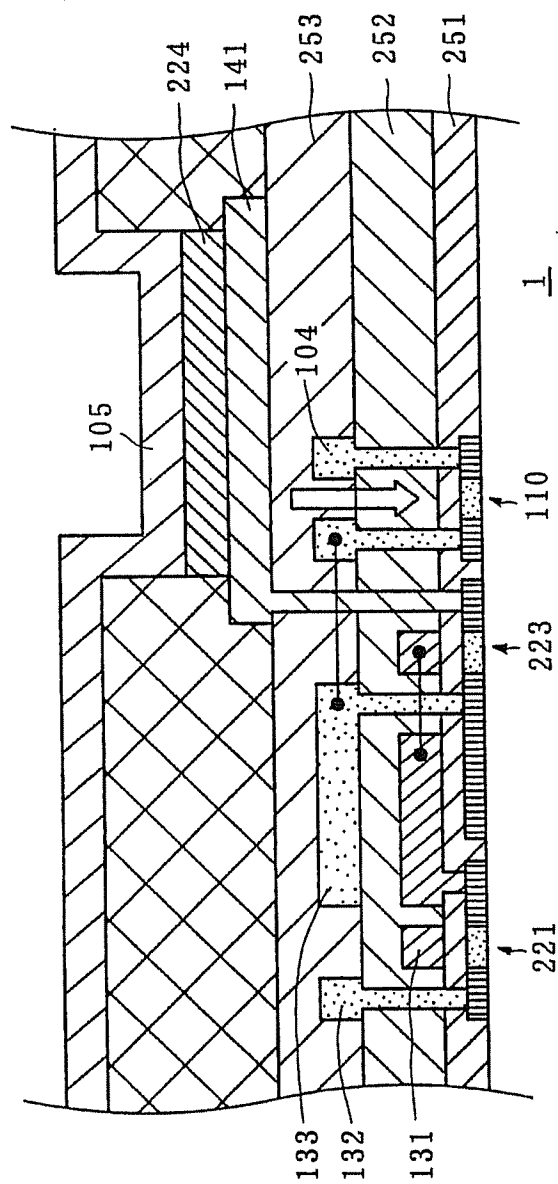
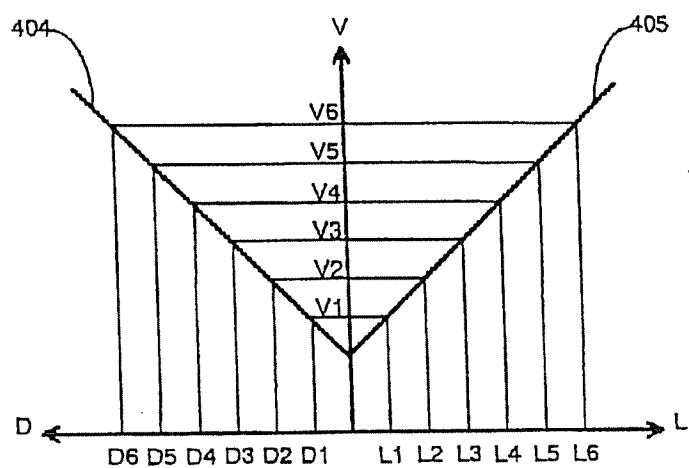
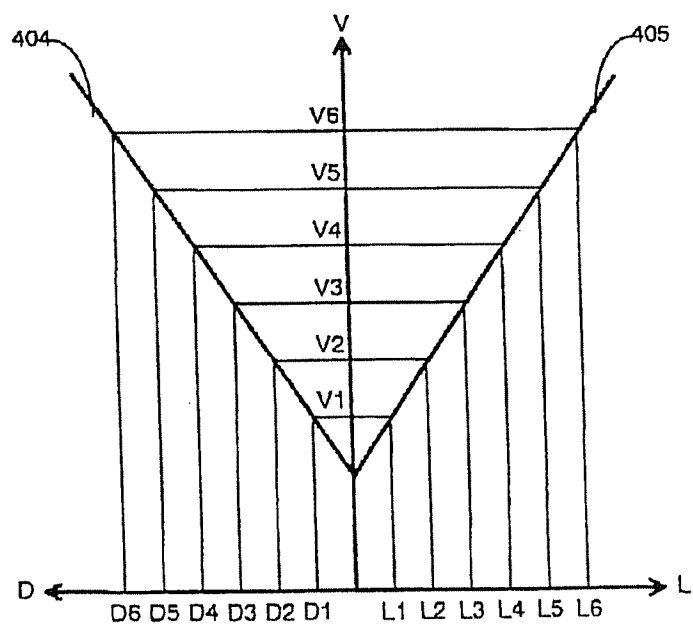


图 2 1

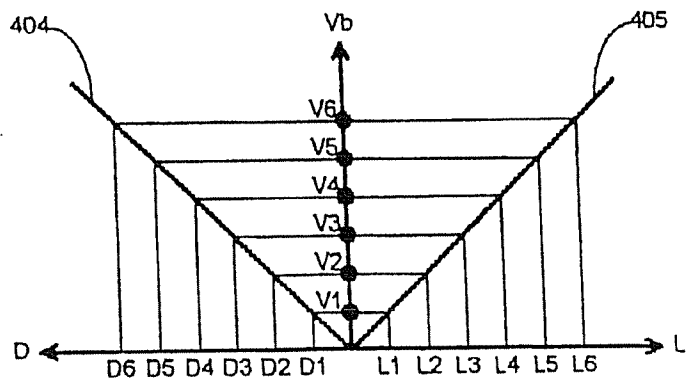


(a)

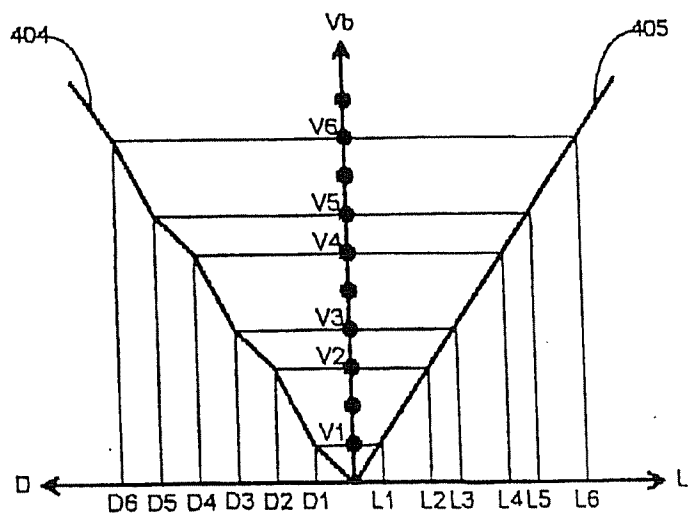


(b)

図 2 2



(a)



(b)

図 2 3

電子機器の概要構成を示すブロック図

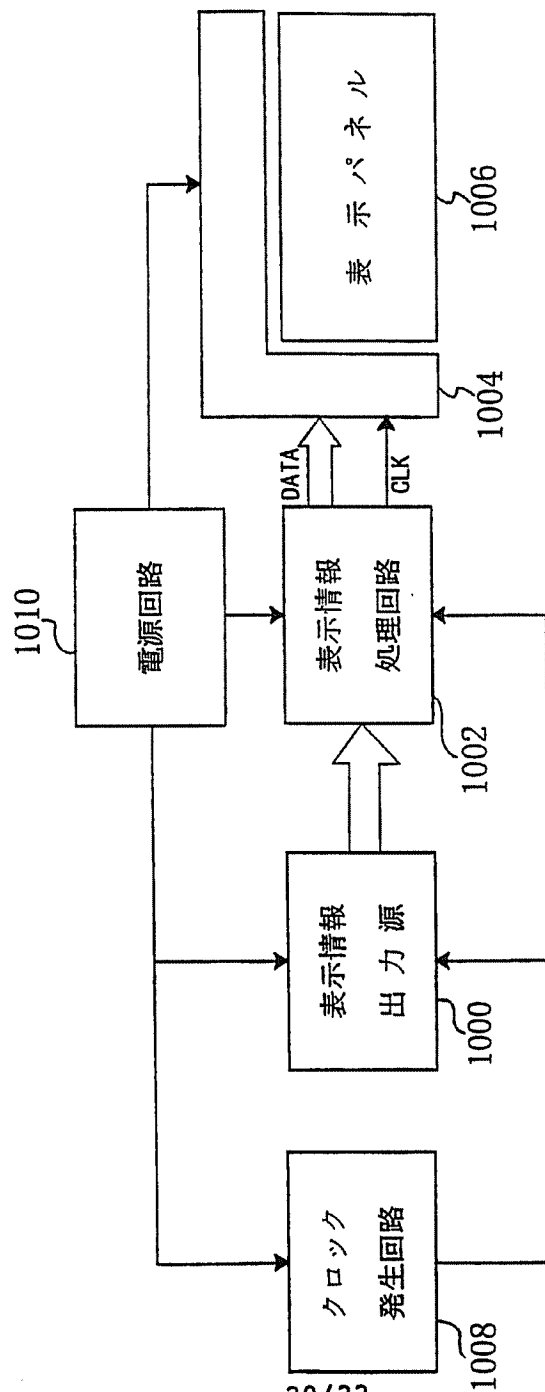


図 2 4

パーソナルコンピュータの外観を示す正面図

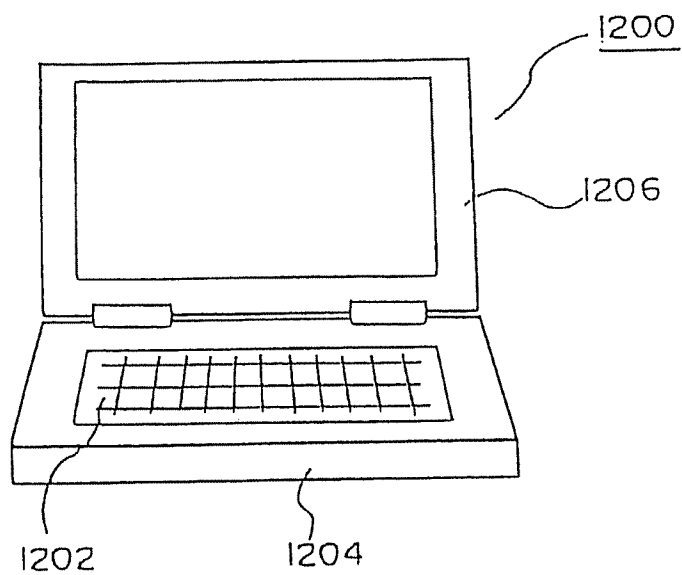
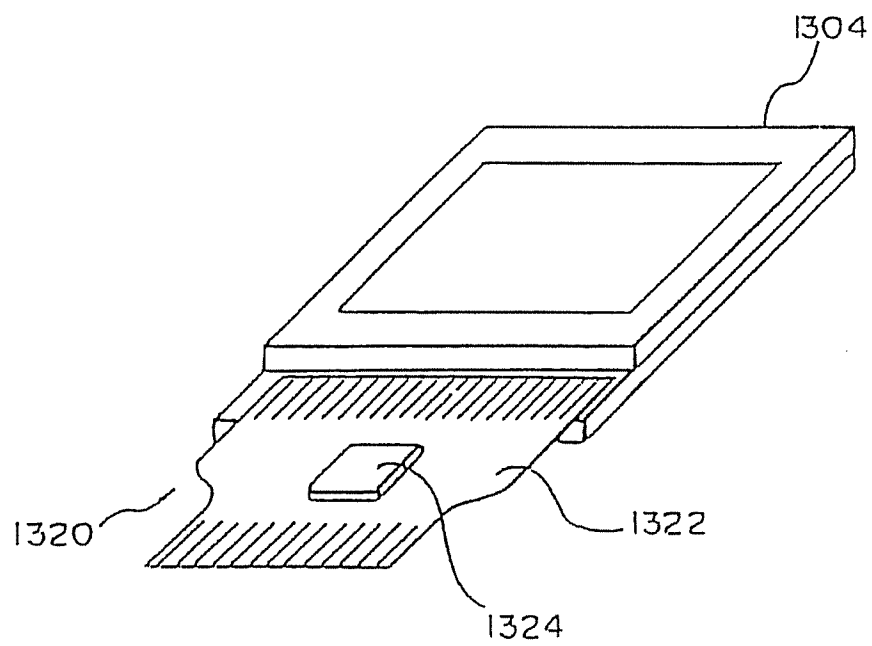


図 25

TCPを用いた表示装置の外観を示す斜視図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00971

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁶ G09G3/30, H05B33/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁶ G09G3/00-3/38, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998

Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96) (Family: none)	1-13, 38-51, 53-55
A	JP, 8-227276, A (Pioneer Electronic Corp.), September 3, 1996 (03. 09. 96) (Family: none)	14-37, 52
Y	JP, 61-45281, A (Fujitsu Kiden Ltd.), March 5, 1986 (05. 03. 86) (Family: none)	1, 2, 4, 38, 39, 43, 44, 45, 47, 49, 53, 55
Y	JP, 9-64365, A (Matsushita Electric Industrial Co., Ltd.), March 7, 1997 (07. 03. 97) (Family: none)	47
Y	JP, 4-269790, A (Matsushita Electric Industrial Co., Ltd.), September 25, 1992 (25. 09. 92) (Family: none)	6, 7, 9, 13, 54

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
June 2, 1998 (02. 06. 98)

Date of mailing of the international search report
June 16, 1998 (16. 06. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00971**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 8-54835, A (NEC Corp.), February 27, 1996 (27. 02. 96) (Family: none)	14-37, 52

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁸ G09G3/30, H05B33/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁸ G09G3/00~3/38, H05B33/00~33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-1995

日本国登録実用新案公報 1994-1998

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 8-227276, A (パイオニア株式会社), 03. 9月 1996 (03. 09. 96) (ファミリーなし)	1-13, 38-51, 53-55
A	JP, 8-227276, A (パイオニア株式会社), 03. 9月 1996 (03. 09. 96) (ファミリーなし)	14-37, 52

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

02. 06. 98

国際調査報告の発送日

16.06.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奥村元宏

5H

8022

印

電話番号 03-3581-1101 内線 3530

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 61-45281, A (富士通機電株式会社), 05. 3 月. 1986 (05. 03. 86) (ファミリーなし)	1, 2, 4, 38, 39, 43, 44, 45, 47, 49, 53, 55
Y	J P, 9-64365, A (松下電器産業株式会社), 07. 3 月. 1997 (07. 03. 97) (ファミリーなし)	47
Y	J P, 4-269790, A (松下電器産業株式会社), 25. 9 月. 1992 (25. 09. 92) (ファミリーなし)	6, 7, 9, 13, 54
A	J P, 8-54835, A (日本電気株式会社), 27. 2月. 1 996 (27. 02. 96) (ファミリーなし)	14-37, 52